

Family list

7 application(s) for: KR100399556 (B1)

Sorting criteria: Priority Date Inventor Applicant Ecla

- 1 WIRING, THIN-FILM TRANSISTOR SUBSTRATE WITH THE WIRING, METHOD OF MANUFACTURE THEREOF, AND LIQUID CRYSTAL DISPLAY DEVICE**
Inventor: SASAKI MAKOTO [JP] ; CHAE GEE SUNG [JP] Applicant: FRONTEC INC [JP]
EC: G02F1/1362W; G02F1/1368; (+7) IPC: G02F1/133; G02F1/1343; G02F1/1362; (+13)
Publication EP1063693 (A1) - 2000-12-27 Priority Date: 1998-12-14
info: EP1063693 (A4) - 2007-06-06
- 2 WIRING, THIN-FILM TRANSISTOR SUBSTRATE WITH THE WIRING, METHOD OF MANUFACTURE THEREOF, AND LIQUID CRYSTAL DISPLAY DEVICE**
Inventor: Applicant:
EC: G02F1/1362W; G02F1/1368; (+7) IPC: G02F1/133; G02F1/1343; G02F1/1362; (+11)
Publication JP4247772 (B2) - 2009-04-02 Priority Date: 1998-12-14
info:
- 3 INTERCONNECTION LINE, THIN FILM TRANSISTOR SUBSTRATE USING THE SAME, METHOD OF FABRICATING THE SAME, AND LIQUID CRYSTAL DISPLAY**
Inventor: SASAKI MAKOTO ; CHAE GEE SUNG Applicant: LG PHILIPS LCD CO LTD
EC: G02F1/1362W; G02F1/1368; (+7) IPC: G02F1/133; G02F1/1362; G02F1/1368; (+7)
Publication KR100399556 (B1) - 2003-09-16 Priority Date: 1998-12-14
info:
- 4 Wiring, thin-film transistor substrate with the wiring, method of manufacture thereof, and liquid crystal display device**
Inventor: SASAKI MAKOTO [JP] ; CHAE GEE-SUNG [KR] Applicant: LG PHILIPS LCD CO LTD [KR]
EC: G02F1/1362W; G02F1/1368; (+7) IPC: G02F1/133; G02F1/1362; G02F1/1368; (+7)
Publication TW452860 (B) - 2001-09-01 Priority Date: 1998-12-14
info:
- 5 Wiring, TFT substrate using the same and LCD**
Inventor: SASAKI MAKOTO [JP] ; CHAE GEE SUNG [JP] Applicant: LG PHILIPS LCD CO LTD [KR]
EC: G02F1/1362W; G02F1/1368; (+7) IPC: G02F1/133; G02F1/1362; G02F1/1368; (+11)
Publication US6956236 (B1) - 2005-10-18 Priority Date: 1998-12-14
info:
- 6 Wiring, TFT substrate using the same, manufacturing method of TFT substrate, and LCD.**
Inventor: SASAKI MAKOTO [JP] ; CHAE GEE S [JP] Applicant: LG PHILIPS LCD CO LTD
EC: G02F1/1362W; G02F1/1368; (+7) IPC: G02F1/133; G02F1/1362; G02F1/1368; (+7)
Publication US2007102818 (A1) - 2007-05-10 Priority Date: 1998-12-14
info: US7804174 (B2) - 2010-09-28
- 7 WIRING, THIN-FILM TRANSISTOR SUBSTRATE WITH THE WIRING, METHOD OF MANUFACTURE THEREOF, AND LIQUID CRYSTAL DISPLAY DEVICE**
Inventor: SASAKI MAKOTO [JP] ; CHAE GEE SUNG [JP] Applicant: FRONTEC INC [JP] ; SASAKI MAKOTO [JP] (+1)
EC: G02F1/1362W; G02F1/1368; (+7) IPC: G02F1/133; G02F1/1362; G02F1/1368; (+10)
Publication WO0036641 (A1) - 2000-06-22 Priority Date: 1998-12-14
info:

INTERCONNECTION LINE, THIN FILM TRANSISTOR SUBSTRATE USING THE SAME, METHOD OF FABRICATING THE SAME, AND LIQUID CRYSTAL DISPLAY

Patent number: KR100399556 (B1)
Publication date: 2003-09-16
Inventor(s): SASAKI MAKOTO; CHAE GEE SUNG +
Applicant(s): LG PHILIPS LCD CO LTD +
Classification:
- international: G02F1/133; G02F1/1362; G02F1/1368; H01L21/336; H01L21/77; H01L27/12; H01L29/417; H01L29/45; H01L29/49; (IPC1-7): G02F1/133
- european: G02F1/1362W; G02F1/1368; H01L21/336D2B; H01L21/336D2C; H01L21/77T; H01L27/12; H01L29/417D2; H01L29/45S2; H01L29/49B
Application number: KR20007008531 20000804
Priority number(s): JP19980375320 19981214; JP19990224692 19990806

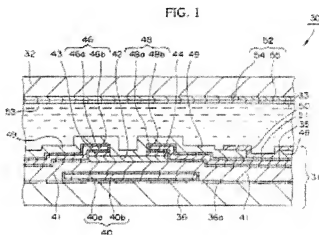
Also published as:

 EP1063693 (A1)
 EP1063693 (A4)
 US6956236 (B1)
 US2007102818 (A1)
 US7804174 (B2)

more >>

Abstract of KR 100399556 (B1)

PURPOSE: An interconnection line, a thin film transistor substrate using the line, a method of fabricating the substrate, and a liquid crystal display are provided to form the interconnection line using copper with low resistance. **CONSTITUTION:** A liquid crystal display(30) includes a bottom-gate type thin film transistor substrate(31), a transparent opposite substrate(32) facing the thin film transistor substrate, and a liquid crystal layer(33) sealed between the two substrates. The thin film transistor substrate includes a plurality of source bus lines and a plurality of gate bus lines, and a plurality of pixel regions. Pixel electrodes are respectively formed at the pixel regions. Bottom-gate type thin film transistors are formed in close proximity to the pixel electrodes, respectively. Each of the thin film transistors has a gate electrode(40), source and drain electrodes(46,48). The gate, source and drain electrodes are formed of a copper layer(40a) and a coating layer(40b). The coating layer coats the copper layer.



Data supplied from the *espacenet* database — Worldwide

(19)대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) Int. Cl.
G02F 1/133

(45) 공고일자 2003년10월17일
(11) 등록번호 10- 0399556
(24) 등록일자 2003년09월16일

(21) 출원번호	10- 2000- 7008531	(65) 공개번호	특2001- 0040659
(22) 출원일자	2000년08월04일	(43) 공개일자	2001년05월15일
번역문 제출일자	2000년08월04일		
(86) 국제출원번호	PCT/JP1999/06877	(87) 국제공개번호	WO 2000/36641
(86) 국제출원출원일자	1999년12월08일	(87) 국제공개일자	2000년06월22일

(81) 지정국 국내특허: 일본, 대한민국, 미국,

EP 유럽특허: 오스트리아, 벨기에, 스위스, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스,
아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투갈, 스웨덴, 핀란드, 사이프러스
,

(30) 우선권주장	98- 375320	1998년12월14일	일본(JP)
	99- 224692	1999년08월06일	일본(JP)

(73) 특허권자 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 사사키마코토
일본국미야기켄센다이시이즈미쿠아케도리3조메31번지가부시키가이샤프론테크내

채기성
일본국미야기켄센다이시이즈미쿠아케도리3조메31번지가부시키가이샤프론테크내

(74) 대리인 김용인
 심창섭

심사관 : 고종욱

(54) 배선, 이를 사용한 박막 트랜지스터 기판, 및 그제조방법과 액정표시장치

요약

동층(40a)의 주위에 티탄 또는 티탄 산화물로 이루어지는 피막(40b)을 갖는 것을 특징으로 하는 게이트 전극(배선)(40)과, 그 게이트 전극(배선)(40)을 갖는 것을 특징으로 하는 박막 트랜지스터 기판(31)과, 대향 배치된 1쌍의 기판 사이에 액정이 끼워져 유지되고, 상기 1쌍의 기판 중 한쪽이 박막 트랜지스터 기판(31)인 것을 특징으로 하는 액정표시장치.

대표도

도 1

색인어

배선, 박막 트랜지스터 기판, 액정표시장치, TFT, LCD

기술분야

본 발명은 저 저항인 동(銅)을 전극이나 배선재료로 사용한 배선과 이를 사용한 박막 트랜지스터(TFT) 기판 및 그 제조방법과 액정표시장치에 관한 것이다.

배경기술

일반적으로, 액정표시장치에 구비되는 기판으로는 박막 트랜지스터(TFT) 기판이 알려져 있다.

도 33 및 도 34는 게이트 배선(G)과 소스 배선(S) 등의 부분을 기판(86) 상에 구비한 일반적인 박막 트랜지스터 기판 구조의 일례를 나타낸 것이다. 도 33과 도 34에 나타난 박막 트랜지스터 기판에서, 유리 등의 투명 기판(86) 상에 게이트 배선(G)과 소스 배선(S)이 매트릭스형으로 배선되어 있다. 또한, 게이트 배선(G)과 소스 배선(S)으로 둘러싸인 영역이 화소부(81)가 되고, 각 화소부(81)에는 박막 트랜지스터(83)가 형성되어 있다.

박막 트랜지스터(83)는 에칭 스톱퍼형(etching-stopper type)의 일반적인 구성이고, AI 또는 AI 합금 등의 도전재료로 이루어지는 게이트 배선(G)과 이 게이트 배선(G)에서 인출하여 형성한 게이트 전극(88) 상에 게이트 절연막(89)을 형성하며, 이 게이트 절연막(89) 상에 비결정질 실리콘(amorphous silicon, a-Si)으로 이루어진 반도체 능동막(90)을 게이트 전극(88)에 대향시켜 형성하고, 또한 이 반도체 능동막(90) 상에 AI 또는 AI 합금 등의 도전재료로 이루어지는 드레인 전극(91)과 소스 전극(92)을 서로 대향되게 형성하여 구성된다. 또한 반도체능동막(90)의 양측 상부 측에는 인(P) 등의 도너(donor)로 이루어진 불순물을 고 농도로 도핑한 층형성질 실리콘 등의 오믹 접촉막(ohmic contact film, 90a)이 형성되어 이들 위에 형성된 드레인 전극(91), 소스 전극(92), 및 반도체 능동막(90)에 의해 끼워진 상태로 애칭 스톱퍼(93)가 형성되어 있다. 또한 드레인 전극(91)에서 드레인 전극(91)의 측방향 쪽에 걸쳐 인듐산화주석(Indium Tin Oxide, 이하 ITO라 약기한다)으로 이루어진 투명화소전극(95)이 접속되어 있다.

그리고, 게이트절연막(89), 투명화소전극(95), 드레인전극(91), 및 소스전극(92) 등의 위를 덮고서 이들 위에 패시베이션막(passivation film, 96)이 형성되어 있다. 이 패시베이션막(96) 상에는 도시 생략된 배향막(oriented film)이 형성되고, 이 배향막 위쪽에 액정이 형성되어 액티브 매트릭스 액정표시장치가 구성되어 있어, 투명화소전극(95)에 의해 액정 분자에 전계를 인가하면 액정분자의 배향제어가 가능하도록 되어 있다.

도 33 및 도 34에 나타난 박막 트랜지스터 기판을 제조하는 방법으로는 알루미늄(AI) 또는 알루미늄 합금(AI alloy)으로 이루어지는 타겟(target)을 이용하고, 그 타겟에 직류전류를 인가하는 통상의 스퍼터법(sputtering method) 등의 박막형성수단에 의해 유리 기판(86) 상에 AI 또는 AI 합금층을 형성한 후, 포토리소그래피 피법(photolithography method)에 의해 게이트 형성 위치 이외의 장소의 AI 또는 AI 합금층을 제거하여 게이트 전극(88)을 형성한 후, CVD법(Chemical Vapor Deposition method) 등의 박막형성수단에 의해 SiO₂ 나 SiN_x 로 이루어지는 게이트 절연막(89), 반도체 능동막(9), 애칭 스톱퍼(93)를 형성하고, 계속하여 이들 상에 상술한 스퍼터법, 포토리소그래피법에 의해 오믹 접촉막(90a), 드레인 전극(91) 및 소스 전극(92)을 형성하며, 다음에 형성한 드레인 전극(91) 및 소스 전극(92)을 마스크(mask)로 하여 오믹 접촉막(90a)의 일부를 제거하여 오믹 접촉막(90a)을 분할한 후, CVD법 등에 의해 패시베이션막(96)을 형성함으로써 박막 트랜지스터 기판을 얻을 수 있다.

그러나, 근년 액정표시장치의 고속화 등에 수반하여 게이트 전극, 게이트 배선, 소선 배선, 드레인 배선 등의 전극이나 배선의 저항에 의한 신호전달지연 문제가 두드러지게 나타나고 있어 이러한 문제를 해결하기 위한 전극이나 배선을 구성하는 재료로서 AI 또는 AI 합금 보다 저 저항인 동의 사용이 검토되고 있다. 이 동 배선은 AI 또는 AI 합금으로 배선을 구성하는 경우와 같이 통상의 스퍼터법에 의해 Cu층을 형성한 후, 포토리소그래피법에 의해 배선형성위치 이외의 장소의 Cu층을 제거함으로써 형성할 수 있다.

그러나 도 33과 도 34에 나타난과 같은 구조의 박막 트랜지스터 기판이 구비된 액정표시장치에서, 게이트전극(88) 등의 전극이나 게이트 배선(G) 등의 배선 재료(이하 배선재료라 약기한다)로서 동을 사용하면, 동이 약액(藥液)에 약하기 때문에 후공정(後工程)에서 다른 층을 애칭할 때 사용되는 산화력이 있는 산계(酸系) 애칭제가 동막에 스며들 때에 이 동막이 애칭되어 손상 받는 경우가 있고, 더욱이 손상이 진행되면 바탕막(base substrate)인 기판(86)에서 박리되거나 단선불량이 발생하는 경우가 있기 때문에 사용하는 애칭제가 제한되는 문제가 있었다.

또한, 배선재료로서 동을 사용하면 포토리소그래피 공정에서 사용되는 레지스트 박리액이 동막에 스며들 때에 이 레지스트 박리액에 의해 동막이 부식되는 일이 있었다.

또한, 동막의 애칭 메커니즘은 동막표면을 산화시켜 애칭을 행하는 것이나, 애칭 전에 공기중의 수분이나 산소에 의해 동막 표면에 CuO나 Cu₂O 등의 산화층이 생기게 되면, 산화력이 없는 애칭제에서도 애칭되어 손상을 받고, 더 나아가 단선불량이 발생하는 문제가 있었다. 그래서 표면에 CuO나 Cu₂O 등의 산화층 발생을 방지할 수 있는 Cu계 배선재료로서 Cu 합금이 고려되고 있으나, Cu 합금은 Cu에 비하여 배선 비저항이 높아지게 되어 저 저항 재료를 사용한 효과를 그다지 기대할 수 없게 된다. 또한 게이트 전극(88)을 동막으로 구성하면 Cu가 게이트 절연막(89)에 확산하여 절연내열 불량이 발생하는 문제가 있으며, 더욱이 기판(86)이 유리 기판이면 게이트 전극(88)에 기판(86) 내의 Si가 게이트 전극(88)에 침입하여 게이트 전극(88)의 저항이 상승한다. 또한 드레인 전극(91)이나 소스 전극(92)을 동막으로 구성하면 각 전극(91, 92)과 반도체 능동막(90) 사이에 원소의 상호 확산이 발생하여 반도체 능동막의 특성이 열화되는 문제가 있었다.

본 발명은 상기 사정을 감안하여 이루어진 것으로, 저 저항의 동을 배선재료를 이용하는 경우에 수분이나 산소에 대하여 내 산화성을 향상시킬 수 있고, 그러면서도 예칭제나 레지스트 박리액 등에 대하여 내 부식성을 향상시킬 수 있으며, 바탕과의 밀착성을 향상시킬 수 있고, 또한 인접막과의 사이에서의 상호 확산을 방지할 수 있는 배선과 이를 사용한 박막 트랜지스터 기판 및 그 제조방법과, 그러한 박막 트랜지스터 기판을 구비한 액정표시장치를 제공하는 것을 과제로 한다.

본 발명의 배선은 상기 과제를 해결하기 위하여, 동층(Cu layer)의 주위에 티탄 또는 티탄 산화물로 이루어지는 피막을 갖는 것을 특징으로 한다. 여기서의 피막의 구체적인 예로는 티탄 원자수에 대한 산소 원자수의 비가 1 대 0 내지 1 대 2인 조성의 피막 등을 들 수 있으며, 보다 구체적으로는 티탄 피막, 산화 티탄 피막 등을 들 수 있다.

또한 본 발명의 배선은 상기 과제를 해결하기 위하여, 동층의 주위에 몰리브덴 또는 몰리브덴 산화물로 이루어지는 피막을 갖는 것을 특징으로 하여도 된다. 여기서의 피막의 구체적인 예로는 몰리브덴 원자수에 대한 산소 원자수의 비가 1 대 0 내지 1 대 3인 조성의 피막 등을 들 수 있으며, 보다 구체적으로는 몰리브덴 피막, 산화 몰리브덴 피막 등을 들 수 있다.

또한 본 발명의 배선은 상기 과제를 해결하기 위하여, 동층의 주위에 크롬 또는 크롬 산화물로 이루어지는 피막을 갖는 것을 특징으로 하여도 된다. 여기서의 피막의 구체적인 예로는 크롬 원자수에 대한 산소 원자수의 비가 1 대 0 내지 1 대 2인 조성의 피막 등을 들 수 있으며, 보다 구체적으로는 크롬 피막, 산화 크롬 피막 등을 들 수 있다.

또한 본 발명의 배선은 상기 과제를 해결하기 위하여, 동층의 주위에 탄탈 또는 탄탈 산화물로 이루어지는 피막을 갖는 것을 특징으로 하여도 된다. 여기서의 피막의 구체적인 예로는 탄탈 원자수에 대한 산소 원자수의 비가 1 대 0 내지 1 대 2.5인 조성의 피막 등을 들 수 있으며, 보다 구체적으로는 탄탈 피막, 산화 탄탈 피막 등을 들 수 있다.

상기 동층의 주위에 형성되는 상기 피막의 두께는 5 내지 30nm 정도인 것이 바람직하고, 보다 바람직하게는 5 내지 20nm 정도이다. 상기 피막의 두께가 5nm 미만이면 너무 얇아 수분이나 산소에 대하여 내 산화성 및 예칭제나 레지스트 박리액 등에 대한 내 부식성을 별로 향상시킬 수 없고, 또 인접막과의 사이에 원소 상호 확산이 발생하는 경우가 있다. 또한 30nm를 초과하여 두껍게 하여도 목적하는 효과를 포괄할 분으로 성막 시간이 증가하고 또 배선 비저항이 상승한다.

또한 본 발명의 배선으로 동층의 주위에 티탄 또는 티탄 산화물로 이루어진 피막을 갖는 것에는, 상기 피막은 티탄막과 티탄 산화물로 이루어지는 막을 갖는 것이어도 되고, 구체적인 예로는 티탄막과 티탄 원자수에 대한 산소 원자수의 비가 1 대 1 내지 1 대 2인 조성의 막을 포함하여 이루어지는 것 등을 들 수 있다.

또한 본 발명의 배선으로 동층의 주위에 티탄 또는 티탄 산화물로 이루어진 피막을 갖는 것에는, 상기 피막은 상기 동층의 주위에 형성된 티탄막과 그 티탄 막의 표면에 형성된 티탄 산화물로 이루어지는 막을 갖는 것이어도 되고, 구체적인 예로는 상기 동층의 주위에 형성된 티탄막과 그 티탄막의 표면에 형성된 티탄 원자수에 대한 산소 원자수의 비가 1 대 1 내지 1 대 2인 조성의 막을 포함하여 이루어지는 것 등을 들 수 있다.

또한 본 발명의 배선으로 동층의 주위에 티탄 또는 티탄 산화물로 이루어진 피막을 갖는 것에는, 상기 피막은 상기 동층 주위의 일부에 형성된 티탄막과 상기 동층 주위의 잔부에 형성된 티탄 산화물로 이루어지는 막을 포함하여 이루어지는 것이어도 되고, 구체적인 예로는 상기 동층 주위의 일부에 형성된 티탄막과 상기 동층 주위의 잔부에 형성된 티탄 원자수에 대한 산소 원자수의 비가 1 대 1 내지 1 대 2인 조성의 막을 포함하여 이루어지는 것 등을 들 수 있다.

또한 본 발명의 배선으로 동층의 주위에 크롬 또는 크롬 산화물로 이루어지는 피막을 갖는 것에는, 상기 피막은 크롬막과 크롬 산화물로 이루어지는 막을 포함하여 이루어지는 것이어도 되고, 구체적인 예로는 크롬막과 크롬 원자수에 대한 산소 원자수의 비가 1 대 1 내지 1 대 2인 조성의 막을 포함하여 이루어지는 것 등을 들 수 있다.

또한 본 발명의 배선으로 동층의 주위에 크롬 또는 크롬 산화물로 이루어진 피막을 갖는 것에는, 상기 피막은 상기 동층의 주위에 형성된 크롬막과 그 크롬막의 표면에 형성된 크롬 산화물로 이루어지는 막을 포함하여 이루어지는 것이어도 되고, 구체적인 예로는 상기 동층의 주위에 형성된 크롬막과 그 크롬막의 표면에 형성된 크롬 원자수에 대한 산소 원자수의 비가 1 대 1 내지 1 대 2인 조성의 막을 포함하여 이루어지는 것 등을 들 수 있다.

또한 본 발명의 배선으로 동층의 주위에 크롬 또는 크롬 산화물로 이루어진 피막을 갖는 것에는, 상기 피막은 상기 동층 주위의 일부에 형성된 크롬막과 상기 동층 주위의 잔부에 형성된 크롬 산화물로 이루어지는 막을 포함하여 이루어지는 것이어도 되고, 구체적인 예로는 상기 동층 주위의 일부에 형성된 크롬막과 상기 동층 주위의 잔부에 형성된 크롬 원자수에 대한 산소 원자수의 비가 1 대 1 내지 1 대 2인 조성의 막을 포함하여 이루어지는 것 등을 들 수 있다.

본 발명의 박막 트랜지스터 기판은 상기 과제를 해결하기 위하여 상기한 구성 중 어느 하나의 본 발명의 배선을 갖는 것을 특징으로 한다.

또한, 본 발명의 박막 트랜지스터 기판은 상기 과제를 해결하기 위하여 기판 상에 TiN막을 경유하여 상기한 구성 중 어느 하나의 본 발명의 배선을 형성한 것을 특징으로 한다.

또한 본 발명의 박막 트랜지스터 기판은 동층의 주위에 티탄 또는 티탄 산화물로 이루어지는 피막을 갖는 배선을 베이스(base) 상에 TiN막을 경유하여 형성한 것을 특징으로 하여도 된다. 티탄 또는 티탄 산화물로 이루어지는 피막의 구체적인 예로는, 티탄 원자수에 대한 산소 원자수의 비가 1 대 0 내지 1 대 2인 조성의 피막 등을 들 수 있다.

또한, 본 발명의 박막 트랜지스터 기판은 동층의 표면에 티탄 또는 티탄 산화물로 이루어지는 피막을 갖는 배선이 베이스 상에 TiN막을 경유하여 형성된 것이어도 된다. 여기서의 배선의 피막은 상기 동층의 표면에 형성된 티탄막과 그 티탄막의 표면에 형성된 티탄 산화물로 이루어지는 막을 갖는 것이어도 된다. 여기서의 티탄 산화물로 이루어지는 막의 구체적인 예로는 티탄 원자수에 대한 산소 원자수의 비가 1 대 1 내지 1 대 2인 조성의 막을 갖는 것 등을 들 수 있다.

상기 TiN의 두께는 10 내지 50nm 정도인 것이 바람직하다. 상기 TiN의 두께가 10nm 미만이면 상기 배선의 동층과 베이스 사이에 상기 배리어층(barrier layer)으로서 작용하는 피막이 형성되어 있지 않은 경우, 혹은 상기 피막의 두께가 충분하지 않은 경우에 상기 베이스나 SiO_2 , SiON , SiO_x 등의 인접막으로부터 확산되어 원소가 배선 내에 잘 침입하는 것을 방지하는 효과가 불충분하다. 또한 50nm를 초과하여 두껍게 해도 목적하는 효과가 포화할 뿐으로 성막시간이 증가한다.

본 발명에 관련된 배선에서는 상술한 바와 같이 구성함으로써 레지스트 박리액이나 에칭액 등의 약액이나 수분에 강한 보호층이나 인접막 사이에서의 원소 상호확산을 방지하는 배리어층으로서의 피막이 동층 주위에 형성되게 되고, 또는 레지스트 박리액이나 에칭액 등의 약액이나 수분에 강한 보호층으로서의 피막이 동층 표면에 형성된 것이 된다. 이러한 배선을 갖는 본 발명의 박막 레지스트 기판에 의하면, 후공정에서 다른 층을 에칭할 때 사용되는 산화력이 있는 산에 에칭제와 동 배선까지 스며들어도 동층 주위 또는 표면에 보호층으로 작용하는 상기 피막이 형성되어 있으므로 배선이 에칭제에 의해 손상 받기 어렵고, 배선이 방형에서 박리되는 것을 방지할 수 있는 위에 단선불량의 발생을 방지할 수 있고, 또 사용되는 에칭제의 자유도가 크다.

또한, 포토리소그래피 공정에서 사용되는 레지스트 박리액이 배선까지 스며 들어도 본 발명에서 사용되는 배선은 동층 주위 또는 표면에 보호층으로 작용하는 상기 피막이 형성되어 있으므로 레지스트 박리액에 의한 배선의 부식을 방지할 수 있다.

또한, 본 발명에 관련된 배선은 동층 주위 또는 표면에 상기 피막이 형성되어 있으므로 에칭 전에 수분의 존재에 의해 배선 표면에 산화층이 형성되지 않게 되고, 산화력이 있는 에칭제에 의해 손상을 받기 힘들어 단선불량의 발생을 방지할 수 있다. 또한 동층의 주위에 배리어층으로 작용하는 상기 피막이 형성되어 있으므로 인접막으로부터 원소가 확산하여 와도 상기 피막에 의해 배선에의 원자 확산이 저해되어 인접막으로부터의 원소 확산에 기인하는 배선저항의 상승을 방지할 수 있고, 또 동층의 Cu 원자가 인접막에 확산하는 것을 상기 피막에 의해 저해할 수 있으므로 동층에서의 Cu 원자 확산에 기인하는 절연내일 불량을 방지할 수 있는 위에 반도체 능동막의 특성 열화를 방지할 수 있다.

또한 동층 표면에 배리어층으로서 작용하는 상기 피막을 형성한 배선에서는 이 배선의 위쪽이나 옆쪽의 인접막(상기 피막의 위쪽이나 옆쪽의 인접막)에서 원소가 확산하여 와도 상기 피막에 의해 배선에의 원자 확산이 저해되어 인접막에서의 원소 확산에 기인하는 배선저항의 상승을 방지할 수 있고, 또 상기 피막에 의해 동층의 Cu 원자가 이 배선의 위쪽이나 옆쪽의 인접막에 확산하는 것을 저해하기 때문에 동층에서의 Cu 원자 확산에 기인하는 절연내일 불량을 방지할 수 있는 위에 반도체 능동막의 특성 열화를 방지할 수 있다.

또한 동층의 주위 또는 표면에 상기 피막에 의해 덮여 있으므로 이 배선 상에 CVD법 등에 의해 산화규소 이루어지는 절연막이나 패시베이션막(passivation film)을 형성할 때, 상기 동층을 구성하는 Cu와 인접막 등의 형성 재료가 SiH_4 가스와 같은 반응을 방지시킬 수 있어 상기 반응에 기인하여 동층의 표면에 침상물이(針狀突起)가 생기지 않고, 이 침상물기에 의해 절연 저항 불량이나 일어나는 것을 방지할 수 있다.

또한 본 발명에 따른 배선은 ITOL나 IZO 등의 투명 도전막(conductive film)으로 이루어지는 화소 전극과 직접 접촉 시켜도 배선재료로 알루미늄을 사용하는 경우처럼 ITOL나 IZO 중의 산소가 배선을 산화시키지 않고 ITOL나 IZO와의 접촉 저항(contact resistance)이 낮다.

더욱이, 본 발명의 박막 트랜지스터 기판에서 상기 배선과 상기 베이스 사이에 TiN 박막을 형성한 것은 상기 배선을 구성하는 동층의 하면과 베이스 사이에 상기 와 같은 배리어층으로서 작용하는 피막이 형성되어 있지 않아도, 또는 상기 동층의 하면과 베이스 사이의 상기 피막의 두께가 얇아도, 상기 배선과 상기 베이스 사이에 TiN 막이 형성되어 있으므로 상기 베이스나 인접막으로부터 배선에 원소가 확산하여 와도 상기 상기 TiN막에 의해 배선으로부터의 원자 확산이 저해되어 상기 베이스나 인접막으로부터의 원소 확산에 기인하는 배선저항의 상승 방지효과가 우수하다. 또한 상기 TiN막에 의해 상기 배선의 밀착성이 향상된다.

따라서, 본 발명의 박막 트랜지스터 기판에 의하면, 저 저항의 동을 배선재료로 사용하는 특성을 손상시키지 않고, 수분이나 산소에 대하여 내 산화성을 향상시킬 수 있고, 더구나 에칭제나 레지스트(resist) 박리액 등에 대한 내성을 향상시킬 수 있으므로 바탕과의 밀착성을 향상시킬 수 있고, 내선불량이나 부식을 방지할 수 있으며, 또 사용하는 에칭제의 자유도가 크기 때문에 동배선 형성후의 공정이 재작되기 어렵고, 더욱이 인접막과의 사이에서 원소 상호 확산을 방지할 수 있어 절연 내일이 양호하고 반도체 능동막의 특성이 양호한 박막 트랜지스터 기판을 제공할 수 있다.

본 발명의 박막 트랜지스터 기판의 제조방법은 상기 과정을 해결하기 위하여, 티탄, 몰리브덴, 크롬, 텅스텐 중에서 선택된 어느 하나의 금속막을 형성한 베이스의 상기 금속막 상에 동으로 이루어진 터렛을 사용하여 동막을 형성하고, 이 동막과 상기 금속막을 원하는 배선 형상으로 패터닝한 다음, 상기 베이스를 어닐링 처리(annealing-processing)하여 상기 패터닝된 동막 상에 티탄, 몰리브덴, 크롬, 텅스텐 중에서 선택된 금속의 피막을 형성하는 것을 특징으로 한다. 상기 구성의 본 발명의 박막 트랜지스터의 제조방법에서, 상기 어닐링 조건은 400°C 내지 1200°C 정도에서 30분 내지 1시간 정도이다. 어닐링 온도가 400°C 미만이면 너무 저온이어서 배선 형성용의 동막 중에 금속막 중의 원소들을 충분히 도입할 수가 없다. 1200°C를 넘으면 온도가 너무 높아 동막이 용해되어 저항이 낮은 등 배선을 형성할 수 없다.

본 발명의 박막 트랜지스터 기판 제조방법에 의하면, 상기 어느 하나의 구성의 본 발명의 배선을 갖는 박막 트랜지스터 기판을 제조할 수 있다. 이것은 티탄, 몰리브덴, 크롬, 텅스텐 중에서 선택된 어느 하나의 금속막을 형성한 베이스의 금속 막 상에 예를 들면, 동으로 이루어진 터렛을 사용한 2주파수 여기형 스퍼터 장치(two-frequency excited sputtering apparatus)를 사용하여 비산화 분위기 하에서 동막을 형성하는 성막공정에 의해, 상기 금속막 중의 원소들을 동층 중에 도입할 수가 있다. 이후, 이 동막과 상기 금속막을 원하는 배선 형상으로 패터닝하는 패터닝공정을 수행하여 동층을 형성하고, 계속해서 상기 베이스를 어닐링 처리하면 상기 동막 중에 도입한 금속원소가 상기 동층의 표면에 확산하므로 상기 동층의 주위에 티탄, 몰리브덴, 크롬, 텅스텐 중에서 선택된 금속 피막을 형성할 수 있다. 이와 같이 베이스

스 상에 형성한 금속막의 원소를 동층의 표면에 확산시키으로써 보호층이나 배리어층으로서 작용하는 피막을 형성하면, 동층 상에 스퍼터법 등에 의해 상기 피막을 적층하는 경우에 비하여 배선의 두께를 얇게 할 수 있고, 또 이 배선의 피막은 두께가 얇아도 상술한 바와 같이 수분이나 레지스트 박리액에 대한 내 산화성이나 에칭제 등에 대한 내 산화성을 충분히 향상시킬 수 있다.

또한, 본 발명의 박막 트랜지스터 기판 제조방법은 상기 과제를 해결하기 위하여 베이스 상에 TiN막을 형성하고, 계속해서 상기 TiN막 상에 티탄 또는 티탄 산화물로 이루어지는 막을 형성하며, 상기 티탄 또는 티탄 산화물로 이루어지는 막 상에 동으로 이루어진 타겟을 사용하여 동막을 형성하여 적층막으로 하고, 이 적층막을 원하는 배선 형성상에 패터닝하며, 계속해서 상기 베이스를 어닐링 처리하여 상기 패터닝된 동막 상에 티탄 또는 티탄 산화물로 이루어지는 피막을 형성하는 것을 특징으로 하는 방법이어도 된다. 여기서의 티탄 또는 티탄 산화물로 이루어지는 막의 구체적인 예로는 티탄 원자수에 대한 산소 원자수의 비가 1 대 0 내지 1 대 2인 티탄계 막 등을 들 수 있다. 또한, 티탄 또는 티탄 산화물로 이루어지는 피막의 구체적인 예로는 티탄 원자수에 대한 산소 원자수의 비가 1 대 0 내지 1 대 2인 티탄 피막 등을 들 수 있다.

상기 구성의 본 발명의 박막 트랜지스터 기판 제조방법에서 상기 어닐링 조건은 300°C 내지 1200°C 정도에서 30분 간 내지 1시간 정도이다. 어닐링 온도가 300°C 미만이면 너무 저온이어서 배선 형성층의 동막 층으로 금속막 중의 원소를 충분히 도입할 수 없고, 1200°C를 넘어서는 온도가 너무 높아 동막이 용해되어 저장이 낮은 동 배선층을 형성할 수 없다.

상기 구성의 박막 트랜지스터 기판 제조방법에 의하면, 상기 어느 하나의 구성의 배선이 TiN막을 통하여 형성된 박막 트랜지스터 기판을 제조할 수 있다. 이것은 티탄계 막을 TiN막을 통하여 형성한 베이스의 티탄 또는 티탄 산화물로 이루어지는 막 상에, 예를 들면 동으로 이루어지는 타겟을 사용하여 2주파수 어긋난 스퍼터 장치로 사용하여 비산할 분위기 하에서 동막을 형성하는 성막공정에 의해 상기 티탄 또는 티탄 산화물로 이루어지는 막 중의 티탄 원소를 동막 층으로 도입할 수 있다. 이후, 상기 티탄 또는 티탄 산화물로 이루어지는 막과 동막으로 이루어지는 적층막을 원하는 배선 형성상에 패터닝하는 패터닝공정을 수행하여 동층을 형성하고, 계속해서 상기 베이스를 어닐링 처리하면 상기 동막 층에 도입된 티탄 원소를 상기 동층의 표면에 확산시키므로 상기 동층의 주위 또는 표면에 보호층이나 배리어층으로서 작용하는 티탄 또는 티탄 산화물로 이루어지는 피막을 형성할 수 있다. 이와 같이 제조되는 박막 트랜지스터 기판의 배선의 피막은 상기 동층의 주위에 형성되는 경우와 상기 동층의 표면에 형성되는 경우가 있지만, 이것은 티탄 또는 티탄 산화물로 이루어지는 막의 두께나 베이스를 어닐링 처리할 때의 어닐링 온도 등의 어닐링 조건을 제어함으로써 제어할 수 있다.

또한, 상기 박막 트랜지스터 기판의 제조방법에서 상기 TiN막 상에 성막하는 티탄 또는 티탄 산화물로 이루어지는 막의 두께를 10nm 내지 20nm로 하는 것이 바람직하다. 티탄 또는 티탄 산화물로 이루어지는 막의 두께를 20nm 이하로 할수록 저항 상승이 작아지고 배선재료로서 Cu를 사용하는 효과가 현저하게 나타난다. 한편, 티탄 또는 티탄 산화물로 이루어지는 막의 두께를 30nm를 초과하여 두껍게 하여도 배선재료로서 Si를 사용하였을 때와 같은 정도까지 저항이 상승하기 때문에 Cu를 사용하는 의의가 없어진다. 또한, 티탄 또는 티탄 산화물로 이루어지는 막의 두께가 10nm 미만에서는 어닐링 처리에 의해 Cu층의 표면에 확산하는 티탄 원소가 적고, 동층의 주위 또는 표면에 형성되는 티탄 원자수에 대한 산소 원자수의 비가 1 대 0 내지 1 대 2인 티탄 또는 티탄 산화물로 이루어지는 피막의 두께가 얇고, 보호층이나 배리어층으로서의 효과를 충분히 얻을 수 없다.

또한, 상기 박막 트랜지스터 기판 제조방법에서는 상기 동막 형성 전에 티탄 또는 티탄 산화물로 이루어지는 막의 표면에 생성한 티탄 산화층을 플라즈마 에칭에 의해 제거함으로써 베이스를 어닐링 처리하여 동막 층에 도입된 티탄 원소를 상기 동층의 표면에 확산시키기 위한 어닐링 온도를 낮출 수 있다.

또한 상기 어느 하나의 구성을 갖는 본 발명의 박막 트랜지스터 기판 제조방법에 의하면, 상기 금속막이 형성된 베이스 상 또는 상기 티탄 또는 티탄 산화물로 이루어진 막이 TiN막을 통하여 형성된 베이스 상에 2주파수 어긋난 스퍼터법에 의해 동막을 형성하는 성막공정, 이 동막의 패터닝공정, 및 상기 베이스의 어닐링공정에 의해 본 발명에 따른 배선을 베이스 상에 용이하게 형성할 수 있으므로 제조공정이 복잡해지지 않는다.

게다가, 상기 어느 하나의 구성을 갖는 본 발명의 박막 트랜지스터 기판 제조방법은 저온공정으로 베이스 상에 본 발명의 배선을 형성할 수 있으므로 600°C 이상의 가열에 견디지 못하는 유리 기판 등을 베이스로서 사용하는 경우에도 적용할 수 있다.

또한, 상기 어느 하나의 구성을 갖는 본 발명의 박막 트랜지스터 기판 제조방법에서는 상기 피막에 산소를 함유시켜도 된다.

상기 어닐링시의 분위기에 산소를 함유하지 않고 수행하면 산소원자의 함유비율이 0 원자%인 피막을 얻을 수 있고, 또한 상기 어닐링시의 분위기의 산소분압을 순차 증가시키므로써 피막 중의 산소원자의 함유 비율을 순차 증가시킬 수 있다.

본 발명에 따른 액정표시장치는 상기 과제를 해결하기 위하여 대향 배치된 1쌍의 기판 사이에 액정이 끼워져 유지되고, 상기 1쌍의 기판 한쪽이 상기 어느 하나의 구성을 갖는 본 발명의 박막 트랜지스터 기판인 것을 특징으로 한다.

본 발명의 액정표시장치에 의하면 저 저항배선으로서 동배선을 사용한 본 발명의 박막 트랜지스터 기판이 구비되므로 배선저항에 기인하는 신호전압 강하나 배선지연이 발생하기 어렵고, 배선이 길어지는 대면적 표시나 배선이 가늘어지는 고 정세(高精細)한 표시에 최적인 표시장치 등을 용이하게 실현할 수 있는 이점이 있다. 또한 배선 방향으로부터의 박리가 없고, 단선불량이나 부식이 발생하지 않으며, 또 배선과 인접막과의 사이에 원소 상호 확산을 방지할 수 있는 본 발명의 박막 트랜지스터 기판이 구비되므로 특성이 양호한 액정표시장치를 제공할 수 있다.

- 도 1은 본 발명에 따른 제1 실시형태의 액정표시장치와 박막 트랜지스터 기판을 나타낸 도.
- 도 2는 도 1의 박막 트랜지스터 기판에 구비되는 게이트 전극의 다른 예를 나타낸 확대 단면도.
- 도 3은 도 1의 박막 트랜지스터 기판에 구비되는 게이트 전극의 다른 예를 나타낸 확대 단면도.
- 도 4는 본 발명에 따른 실시형태의 박막 트랜지스터 기판 제조방법에 양호하게 사용되는 박막 제조장치의 성막실을 나타내는 구성도.
- 도 5는 본 발명에 따른 실시형태의 박막 트랜지스터 기판 제조방법에 양호하게 사용되는 박막 제조장치의 전체구성을 나타내는 평면도.
- 도 6은 도 5에 나타난 박막 제조장치의 일부를 확대한 측면도.
- 도 7a는 본 발명에 따른 제1 실시형태의 박막 트랜지스터 기판 제조방법의 일 공정을 나타낸 도.
- 도 7b는 본 발명에 따른 제1 실시형태의 박막 트랜지스터 기판 제조방법의 일 공정을 나타낸 도.
- 도 7c는 본 발명에 따른 제1 실시형태의 박막 트랜지스터 기판 제조방법의 일 공정을 나타낸 도.
- 도 7d는 본 발명에 따른 제1 실시형태의 박막 트랜지스터 기판 제조방법의 일 공정을 나타낸 도.
- 도 8a는 본 발명에 따른 제1 실시형태의 박막 트랜지스터 기판 제조방법의 일 공정을 나타낸 도.
- 도 8b는 본 발명에 따른 제1 실시형태의 박막 트랜지스터 기판 제조방법의 일 공정을 나타낸 도이다.
- 도 8c는 본 발명에 따른 제1 실시형태의 박막 트랜지스터 기판 제조방법의 일 공정을 나타낸 도.
- 도 9는 본 발명에 따른 제2 실시형태의 액정표시장치와 박막 트랜지스터 기판의 단면을 나타낸 도.
- 도 10a는 본 발명에 따른 제2 실시형태의 박막 트랜지스터 기판 제조방법의 일 공정을 나타낸 도.
- 도 10b는 본 발명에 따른 제2 실시형태의 박막 트랜지스터 기판 제조방법의 일 공정을 나타낸 도.
- 도 10c는 본 발명에 따른 제2 실시형태의 박막 트랜지스터 기판 제조방법의 일 공정을 나타낸 도.
- 도 10d는 본 발명에 따른 제2 실시형태의 박막 트랜지스터 기판 제조방법의 일 공정을 나타낸 도.
- 도 11a는 본 발명에 따른 제2 실시형태의 박막 트랜지스터 기판 제조방법의 일 공정을 나타낸 도.
- 도 11b는 본 발명에 따른 제2 실시형태의 박막 트랜지스터 기판 제조방법의 일 공정을 나타낸 도.
- 도 11c는 본 발명에 따른 제2 실시형태의 박막 트랜지스터 기판 제조방법의 일 공정을 나타낸 도.
- 도 12는 도 8의 박막 트랜지스터 기판에 구비되는 게이트 전극의 다른 예를 나타낸 확대 단면도.
- 도 13은 도 9의 박막 트랜지스터 기판에 구비되는 게이트 전극의 다른 예를 나타낸 확대 단면도.
- 도 14는 본 발명에 따른 제3 실시형태의 박막 트랜지스터 기판의 단면을 나타낸 도.
- 도 15는 에칭액 침적 후의 실시예 1의 배선 표면의 금속조직을 나타낸 사진.
- 도 16은 에칭액 침적 후의 실시예 2의 배선 표면의 금속조직을 나타낸 사진.
- 도 17은 에칭액 침적 후의 비교예 1의 배선 표면의 금속조직을 나타낸 사진.
- 도 18은 실시예 1의 배선의 어닐링 처리전의 배선 구조를 오저분석법(Auger Electron Spectroscopy analysis method)에 의해 조사한 결과를 나타낸 도면이다.
- 도 19는 실시예 1의 배선의 어닐링 처리후의 배선구조를 오저분석법에 의해 조사한 결과를 나타낸 도.
- 도 20은 에칭액 침적 후의 실시예 3의 배선 표면의 금속조직을 나타낸 사진.
- 도 21은 에칭액 침적 후의 실시예 4의 배선 표면의 금속조직을 나타낸 사진.
- 도 22는 에칭액 침적 후의 비교예 4의 배선 표면의 금속조직을 나타낸 사진.
- 도 23은 실시예 3의 배선 어닐링 처리전의 배선구조를 오저분석법에 의해 조사한 결과를 나타낸 도.
- 도 24는 실시예 3의 배선 어닐링 처리후의 배선구조를 오저분석법에 의해 조사한 결과를 나타낸 도.
- 도 25는 시험편 1의 구조를 오저분석법에 의해 조사한 결과를 나타낸 도.
- 도 26은 시험편 2의 구조를 오저분석법에 의해 조사한 결과를 나타낸 도.
- 도 27은 시험편 3의 구조를 오저분석법에 의해 조사한 결과를 나타낸 도.
- 도 28은 시험편 4 내지 시험편 8의 적층막의 시트 저항(sheet resistance)을 조사한 결과를 나타낸 도.
- 도 29는 시험편 4 내지 시험편 7의 a-Si : n + 층과 Cu막 사이의 금속막의 배리어성(barrier function)을 조사한 결과 나타낸 도.
- 도 30은 어닐링 처리전의 시험편 9의 구조와 어닐링 온도를 250°C부터 500°C범위에서 변경하였을 때의 시험편 9의 구조를 오저분석법에 의해 조사한 결과를 나타낸 도.
- 도 31은 어닐링 처리전의 시험편 10의 구조와 어닐링 온도 300°C부터 500°C범위에서 변경하였을 때의 시험편 10의 구조를 오저분석법에 의해 조사한 결과를 나타낸 도.
- 도 32는 시험편 11 내지 시험편 14의 적층막의 시트저항을 조사한 결과를 나타낸 도.
- 도 33은 종래의 액정표시장치에 구비된 박막 트랜지스터 기판의 일 예의 화소부를 나타낸 평면 개략도.
- 도 34는 도 33의 박막 트랜지스터 기판을 나타내는 단면도.

실시예

이하, 본 발명의 각 실시형태를 상세하게 설명하지만 본 발명은 이들 실시형태로 한정되는 것은 아니다.

<제1 실시형태>

도 1은 본 발명의 액정표시장치의 제1 실시형태의 요부를 나타낸 것으로, 이 제1 실시형태의 액정표시장치(30)는 본 발명의 박막 트랜지스터 기판의 실시형태의 바텀 게이트형(bottom-gate type) 박막 트랜지스터 기판(31)과, 이 박막 트랜지스터 기판(31)에 평행하게 격리되어 형성된 투명한 대항 기판(32)과, 상기 박막 트랜지스터 기판(31)과 대항 기판(32) 사이에 밀봉된 액정층(33)을 구비하여 구성되어 있다.

상기 박막 트랜지스터 기판(31)에는 도 33에 나타난 종래의 구조와 같은 종렬(縱列)의 다수의 소스 배선과 횡렬(橫列)의 다수의 게이트 배선에 대한 기판(32)의 상면 측에서 평면으로 도시한 경우에 매트릭스형이 되도록 배열 형성되어, 소스 배선과 게이트 배선으로 둘러싸인 다수의 영역 각각이 화소부로 되며, 각 화소부에 대응하는 영역에 각각 IT(O) (인들 주석 산화물) 등의 투명 도전 재료로 이루어지는 화소 전극(35)이 형성되는 동시에 각 화소 전극(35)의 근방에 바텀 게이트형의 박막 트랜지스터가 형성되어 있다.

도 1은 소스 배선과 게이트 배선으로 둘러싸인 1개의 화소부에 대응하는 영역에 형성된 박막 트랜지스터 부분과 그 주위 부분을 확대하여 나타낸 것으로, 박막 트랜지스터 기판(31)에는 화소부가 다수 정렬 형성되어 액정표시장치(30)로서의 표시화면이 구성되어 있다.

이 형태의 박막 트랜지스터 기판(31)에 있어서는 각 화소부에 적어도 표면이 절연성인 기판(베이스)(36) 상에 게이트 전극(40)이 형성되고, 이 게이트 전극(40)과 기판(36)을 덮고서 게이트 절연막(41)이 형성되며, 게이트 전극(40)의 게이트 절연막(41) 상에 게이트 전극(배선)(40)보다도 작은 반도체 능동막(42)이 적층되고, 이 반도체 능동막(42)의 양단부 상에 n + 층 등으로 이루어지는 오믹 접촉막(chmic contact film)(43, 44)이 반도체 능동막(42)의 단부와 위치를 맞추어 반도체 능동막(42)의 중앙부 측에 간격을 두고 상호 분리되어 적층되어 있다. 여기서 기판(36)으로는 유리 기판이나 표면이 SiN_x 막(36a)이 형성된 기판을 사용할 수 있다.

여기서 게이트 전극(40)은 동축(40a)의 주위에 피막(40b)을 가지는 것이다. 피막(40b)은 티탄 또는 티탄 산화물로 이루어지는 피막, 몰리브덴 또는 몰리브덴 산화물로 이루어지는 피막, 크롬 또는 크롬 산화물로 이루어지는 피막, 탄탈 또는 탄탈 산화물로 이루어지는 피막 중 어느 하나의 피막이다. 상기 티탄 또는 티탄 산화물로 이루어지는 피막의 구체적인 예로는 티탄 원자수에 대한 산소 원자수의 비가 1 대 0 내지 1 대 2인 조성의 피막을 들 수 있다. 또한 상기 몰리브덴 또는 몰리브덴 산화물로 이루어지는 피막의 구체적인 예로는 몰리브덴 원자수에 대한 산소 원자수의 비가 1 대 0 내지 1 대 3인 조성의 피막을 들 수 있다. 또한 상기 크롬 또는 크롬 산화물로 이루어지는 피막의 구체적인 예로는 크롬 원자수에 대한 산소 원자수의 비가 1 대 0 내지 1 대 1.5인 조성의 피막을 들 수 있다. 또한 상기 탄탈 또는 탄탈 산화물로 이루어지는 피막의 구체적인 예로는 탄탈 원자수에 대한 산소 원자수의 비가 1 대 0 내지 1 대 2.5인 조성의 피막 중 어느 하나의 피막을 들 수 있다.

상기 피막(40b)은 티탄막과 티탄 산화물로 이루어지는 막을 갖는 것이어도 되고, 구체적인 예로는 티탄막과 티탄 원자수에 대한 산소 원자수의 비가 1 대 1 내지 1 대 2인 조성의 막을 갖는 것이어도 되며, 보다 구체적으로는 도 2에 나타낸 바와 같이 동축(40a)의 주위에 형성된 티탄막(40f)과 이 티탄막(40f)의 표면에 형성된 티탄 원자수에 대한 산소 원자수의 비가 1 대 1 내지 1 대 2인 조성의 막 등의 티탄 산화물로 이루어지는 막(40g)을 갖는 것이다. 도 3에 나타낸 바와 같이 동축(40a)의 주위 일부에 형성된 티탄막(40h)과 동축(40a)의 주위 잔부에 형성된 티탄 원자수에 대한 산소 원자수의 비가 1 대 1 내지 2인 조성의 막 등의 티탄 산화물로 이루어지는 막(40i)을 갖는 것이어도 된다.

또한, 상기 피막(40b)은 크롬과 크롬 산화물로 이루어지는 막을 갖는 것이어도 되고, 구체적인 예로는 크롬막과 크롬 원자수에 대한 산소 원자수의 비가 1 대 1 내지 1 대 2인 조성의 막을 갖는 것이어도 되며, 보다 구체적으로는 동축(40a)의 주위에 형성된 크롬막과 이 크롬막의 표면에 형성된 크롬 원자수에 대한 산소 원자수의 비가 1 대 1 내지 1 대 2인 조성의 막 등의 크롬 산화물로 이루어지는 막을 갖는 것이나, 동축(40a)의 주위 일부에 형성된 크롬막과 동축(40a)의 주위 잔부에 형성된 크롬 원자수에 대한 산소 원자수의 비가 1 대 1 내지 2인 조성의 막 등의 크롬 산화물로 이루어지는 막을 갖는 것이어도 된다.

다음에, 도 1의 왼쪽(도 1에 나타난 화소 전극(35)으로부터 떨어진 쪽)의 오믹 접촉막(43)의 상면, 좌측면, 및 그 아래의 반도체 능동막(42)의 좌측면과 이들에 연속하는 게이트 절연막(41)의 상면 일부분을 덮고서, 즉 반도체 능동막(42)과 오믹 접촉막(43)이 겹쳐지는 부분(중첩부분)을 덮고서 소스 전극(46)이 형성되어 있다. 여기서 소스 전극(46)은 동축(46a)의 주위에 피막(46b)을 갖는 것이다. 피막(46b)은 상기 게이트 전극(40)의 피막(40b)과 같은 피막으로 이루어지는 것이다. 또한, 이 피막(46b)은 게이트 전극(40)의 피막(40b)과 마찬가지로 티탄막과 티탄 원자수에 대한 산소 원자수의 비가 1 대 1 내지 1 대 2인 조성의 막 등의 티탄 산화물로 이루어진 막을 갖는 것이어도 된다.

또한, 도 1의 오른쪽(도 1에 나타난 화소 전극(35)에 가까운 쪽)의 오믹 접촉막(44)의 상면, 우측면, 및 그 아래의 반도체 능동막(42)의 우측면과 이들에 연속하는 게이트 절연막(41)의 상면 일부분을 덮고서, 즉 반도체 능동막(42)과 오믹 접촉막(44)의 중첩부분을 덮고서 드레인 전극(48)이 형성되어 있다. 여기서 드레인 전극(48)은 동축(48a)의 주위에 피막(48b)을 갖는 것이다. 피막(48b)은 상기 게이트 전극(40)의 피막(40b)과 같은 피막으로 이루어지는 것이다. 또한, 이 피막(48b)은 게이트 전극(40)의 피막(40b)과 마찬가지로 티탄막과 티탄 원자수에 대한 산소 원자수의 비가 1 대 1 내지 1 대 2인 조성의 막 등의 티탄 산화물로 이루어진 막을 갖는 것이어도 된다.

또한, 이들 각 막의 위에는 이들을 덮고서 패시베이션막(49)이 형성되고, 드레인 전극(48) 좌측 단부 상의 패시베이션막(49) 상에는 화소 전극(35) 형성되어 있으며, 이 화소 전극(35)은 패시베이션막(49)에 형성된 콘택홀(contact hole)(50)에 형성한 접속도체부(51)를 통하여 드레인 전극(48)에 접속되어 있다.

한편, 박막 트랜지스터 기판(31)에 대하여 형성되어 있는 대향 기판(32)의 액정 측에는 대향 기판(32) 측으로부터 컬러 필터(52)와 공통 전극막(53)이 차례로 적층되어 있다. 상기 컬러 필터(52)는 표시에 기여하지 않는 박막 트랜지스터 부분이나 게이트 부재 및 소스 배선 부재를 덮어 숨기기 위한 블랙 매트릭스(black matrix, 54)와 화소 전극(35)을 형성한 화소 영역에서 표시에 기여하는 부분을 통과하는 광을 투과시키고, 또 컬러 표시를 하기 위한 컬러 화소부(55)를 주체로 되어 있다. 이들 컬러 화소부(55)는 액정표시장치와 컬러 표시 구조인 경우에 필요하고, 화소부마다 형성되어 있지만 인접하는 화소부에서 색 차이가 나도록 예를 들면, R(적), G(녹), B(청)의 3원색이 색 편차가 없도록 규칙적으로 또는 불규칙적으로 배치된다.

그리고, 도 1에 나타난 단면 구조에서는 박막 트랜지스터 기판(31)의 액정 측과 대향 기판(32)의 액정 측에 형성되는 배향막(oriented films)을 생략하는 동시에 박막 트랜지스터 기판(31)의 외측과 대향 기판(32)의 외측에 형성되는

편광판을 생각하였다.

도 1에 나타난 액정표시장치(30)에 구비되는 박막 트랜지스터 기판(31)에서는 후공정에서 다른 층을 에칭할 때 사용되는 산화력이 있는 산제 에칭제가 게이트 전극(40)이나 소스 전극(46)이나 드레인 전극(48)까지 스며들어도 동충(40a, 46a, 48a)의 주위에 각각 보호층으로 작용하는 상기 피막(40b, 46b, 48b)이 형성되어 있으므로, 각 전극이 에칭제에 의해 손상되기 어려우며, 각 전극이 바탕으로부터 박리되는 것을 방지할 수 있는 위에 단선불량의 발생을 방지할 수 있고, 또한 사용하는 에칭제의 자유도가 크다.

또한, 포토소그라피 공정에서 사용되는 레지스트 박리액이 게이트 전극(40)이나 소스 전극(46)이나 드레인 전극(48)에까지 스며들어도 동충(40a, 46a, 48a)의 주위에 각각 상기 피막(40b, 46b, 48b)이 형성되어 있으므로 레지스트 박리액에 의한 각 전극의 표면 부식을 방지할 수 있다.

또한, 게이트 전극(40)이나 소스 전극(46)이나 드레인 전극(48)은 동충(40a, 46a, 48a)의 외주면에 각각 상기 피막(40b, 46b, 48b)이 형성되어 있어 에칭 전에 수분의 존재에 의해 각 전극 표면에 산화층이 형성되는 일이 없어지며, 산화력이 없는 에칭제에 의해 손상되기 어려우며, 단선불량 발생을 방지할 수 있다. 또한 게이트 전극(40)이나 소스 전극(46)이나 드레인 전극(48)은 각각 피막(40b, 46b, 48b)을 가지고 있으므로 이들 전극상에 CVD법 등에 의해 절연막(41)이나 패시베이션막(49)을 형성할 때 전극(40, 46, 48)을 구성하는 Cu와 절연막 등의 형성재료인 SiH₄ 가스와의 반응을 방지할 수 있으므로 상기 반응에 기인하여 동충 표면에 침상물기가 발생하지 않고, 침상물기에 의해 절연 저항 불량이 발생하는 것을 방지할 수 있다.

또한, 게이트 전극(40)이나 소스 전극(46)이나 드레인 전극(48)은 동충(40a, 46a, 48a)의 외주면에 각각 배리어층으로서 작용하는 상기 피막(40b, 46b, 48b)이 형성되어 있으므로 베이스(36)로부터 Si가 확산하여 와도 상기 피막(40b)에 의해 게이트 전극(40)에의 원자 확산이 저해되어 게이트 전극(40)의 저항 상승을 방지할 수 있고, 또한 동충(40a)에서 Cu 원자가 게이트 절연막(41)로 확산하여도 피막(40b)에 의해 Cu 원자의 게이트 절연막(41)으로의 확산이 저해되어 동충(40a)에서의 Cu원자 확산에 기인하는 절연 내압 불량을 방지할 수 있으며, 동충(46a, 48a)에서 Cu 원자가 반도체 능동막(42)으로 확산하여도 피막(46b, 48b)에 의해 상기 Cu 원자의 확산이 저해되어 동충(46a, 48a)에서의 Cu 원자 확산에 기인하는 반도체 능동막(42)의 특성 열화를 방지할 수 있다.

또한, 전극(48)은 ITO로 이루어지는 화소 전극과 직접 접촉시켜도 배선 재료로서 알루미늄을 사용하는 경우와 같이 ITO 중의 산소가 전극(48)을 산화시키지 않고 ITO와의 접촉 저항이 낮다.

따라서, 실시형태의 박막 트랜지스터 기판(31)에 의하면 저 저항의 동충을 배선 재료로 사용하는 특성을 손상시키지 않고 수분이나 산소에 대하여 내 산화성을 향상시킬 수 있고, 더구나 에칭제나 레지스트 박리액 등에 대하여 내 산성을 향상시킬 수 있으므로 바탕막과의 밀착성을 향상시킬 수 있으며, 단선불량이나 부식을 방지할 수 있고, 또한 사용하는 에칭제의 자유도가 크므로 동배선 형성 후의 공정이 제약되기 어렵고, 더욱이 인접막과의 사이에 원소 상호 확산을 방지할 수 있기 때문에 절연 내압이 양호하고 반도체 능동막 특성이 양호한 박막 트랜지스터 기판을 제공할 수 있다. 제1 실시형태의 액정표시장치(30)에 의하면, 상술한 바와 같은 박막 트랜지스터 기판(31)이 구비되어 있으므로 배선 저항에 기인하는 신호 전달강하나 배선 지연이 발생하기 어렵고, 배선이 길어지는 대면적 표시나 배선이 가늘어지는 고정세 표시에 최적인 표시장치를 용이하게 실현할 수 있다는 이점이 있다. 또한 바탕으로부터의 배선 박리가 없고, 단선불량이나 부식 발생이 없으며, 더구나 배선과 인접막과의 사이에 원소 상호 확산을 방지할 수 있는 박막 트랜지스터 기판(31)이 구비되어 있으므로 특성이 좋은 액정표시장치를 제공할 수 있다.

다음에, 본 발명의 박막 트랜지스터 기판 제조방법을 도 1에 나타난 구조의 박막 트랜지스터 기판을 제조하는 방법에 적용한 실시형태에 대하여 설명한다.

도 4는 제1 실시형태의 박막 트랜지스터 기판 제조방법에 양호하게 사용되는 박막 제조장치의 성막실을 나타낸 개략 구성도이고, 도 5는 박막 제조장치의 전체구성을 나타낸 평면도이며, 도 6은 도 5에 나타난 박막 제조장치의 일부를 확대한 측면도이다.

도 4는 감압상태로 유지 가능한 성막실을 나타내고, 이 성막실(60)은 도 5에 나타난 바와 같이 반송실(61)의 측부에 게이트 밸브(gate valve, 62)를 통하여 접속되어 있다.

상기 반송실(61)의 주위에는 성막실(60) 외에, 로딩 챔버(loading chamber, 63)와 언로딩 챔버(unloading chamber, 64)와, 스톡 챔버(stocker chamber 65)가 각각 반송실(61)을 둘러싸듯이 접속되며, 반송실(61)과 그 주위의 각실 사이에는 각각 게이트 밸브(66, 67, 68)가 설치되어 있다. 이상 설명한 바와 같이 성막실(60), 반송실(61), 로딩 챔버(63), 언로딩 챔버(64) 및 스톡 챔버(65)에 의해 성막 제조장치(A')가 구성되어 있다.

상기 성막실(60)은 도 4에 나타난 바와 같이 이 상부에 제1 전극(70)이 설치되고, 제1 전극(70)의 저면에 타겟(71)이 상주롭게 착탈 가능하도록 장착되는 동시에 성막실(60)의 저부에는 제2 전극(72)이 설치되며 제2 전극(72)의 상면에 적어도 표면이 절연성인 기판(36)이 상주롭게 착탈 가능하도록 장착되어 있다.

상기 타겟(71)을 구성하는 재료로는 게이트 전극(40), 소스 전극(46), 드레인 전극(48)을 형성하는 경우에는 티탄, 몰리브덴, 크롬, 탄탈 중에서 선택된 어느 하나의 금속 또는 동이 사용되고, a-Si : n + 층을 형성하는 경우에는 n형 a-Si : n + 생성용의 P 도핑 Si가 사용된다. 상기 기판(36)으로는 박막 트랜지스터 기판을 제조하는 경우에는 유리 기판을 양호하게 사용할 수 있다. 또한 상기 타겟(71)의 장착에는 정전 척(electrostatic chuck) 등의 통상 알려진 타겟 장착기구를 사용할 수 있다.

상기 제1 전극(70)은 도전성재로 이루어지는 모체(main portion, 70a)와 이 모체(70a)의 표면에 형성된 산화막, 질화막 또는 불화막 등으로 이루어지는 보호층(70b)으로 구성되어 있다.

그리고, 상기 제1 전극(70)에는 제1 교류전원(75)이 접속되는 동시에 제1 전극(70)과 제1 교류전원(75) 사이에는 정합회로(75a)가 접속되어 있고, 이 정합회로(75a)는 고주파전력의 반사파를 제거하는 작용을 한다. 또한 제1 전극(70)에는 임피던스 조정용 저역 통과 필터(low-pass filter) 등의 대역 통과 필터(band-pass filter, 77)를 통하여 직류전

원(78)이 접속되어 있다. 이 대역 통과 필터(77)는 직류전원(78)에 고주파가 실리지 않도록 회로의 임피던스를 위한 대로 조정한다.

또한, 상기 제2 전극(72)에도 제2 교류전원(80)이 접속되는 동시에 제2 전극(72)과 제2의 교류전원(80) 사이에는 상기 정합회로(75a)와 같은 작용을 하는 정합회로(80a)가 삽입되어 있다.

그리고, 상기 성막실(60)에는 진공 배기용 및 가스 배기용의 배기 유닛(60a), 성막실(60) 내로의 반응 가스 공급기구(60b) 등을 포함하고 있으나 4 예에서는 설명을 간략하게 하기 위해 이들을 간략화 시켜 기재하였다.

다음에, 상기 반송실(61)에는 링크식(link type) 반송기구(매직 핸드, magic hand)(69)가 설치되고, 이 반송기구(69)는 반송실(61)의 중심부에 세워져 설치된 지축(74)을 지점(支點)으로 하여 자유자재로 회전하도록 설치되고, 스톡 챔버(stocker chamber, 65)에 배치되어 있는 카세트(cassette, 79)에서 타겟(71)을 꺼내 필요에 따라 성막실(60)로 반응하고, 성막실(60)의 제1 전극(70)에 타겟(71)을 장착할 수 있도록 되어 있다.

그리고, 상기 카세트(79)에는 더미 타겟(dummy target, 71a)도 수납되어 있어 필요에 따라 더미 타겟(71a)도 성막실(60)로 반응할 수 있도록 되어 있다.

도 4 내지 도 6에 나타난 박막 제조장치는 1개의 성막실(60)에서 1개 이상의 박막(예를 들면, 게이트 전극(40)을 형성하기 위한 금속막 및 동막과, 게이트 절연막(41)과, 반도체 능동막(42)과, 오믹 접촉막(43, 44)과, 소스 전극(46)을 형성하기 위한 금속막 및 동막과, 절연전극(48)을 형성하기 위한 금속막 및 동막과, 패시베이션막(49))을 연속 성막할 수 있는 장치이다.

즉, 성막실(60)에서 CVD성막(게이트 절연막·반도체 능동막·패시베이션막(49)의 성막)과 스퍼터 성막(오믹 접촉막·게이트 전극을 형성하기 위한 금속막과 동막·소스 전극을 형성하기 위한 금속막과 동막·드레인 전극을 형성하기 위한 금속막과 동막의 성막)을 전원을 전환함으로써 행할 수 있다.

먼저, 성막실(60), 반송실(61), 및 스톡 챔버(65)를 감압하였으면 게이트 밸브(62, 68)를 개방하여 반송기구(69)에 의해 유리 기판(36)을 제2 전극(72)에 장착한다. 이 상태에서 게이트 밸브(62)를 닫았으면 이하의 공정에 준하여 기판(36) 상에 게이트 전극(40) 등의 박막을 순차 형성한다.

(1-1) 게이트 전극용 금속막의 성막공정

성막실(60)을 Ar 가스 분위기로 하고, 제1 전극(70)에 티탄, 몰리브덴, 크롬, 탄탈 중에서 선택된 어느 하나의 금속으로 이루어진 타겟(71)을 장착하고, 제2 전극(72)에는 유리 기판(36)을 장착하여 제1 교류전원(75)에서 제1 전극(70)에 주 파수 13.6MHz 정도의 고주파를 공급하며, 또 직류전원(78)에서 공급되는 부하전위를 -200V로 하여 스퍼터링을 실시하여 도 7a에 나타난 바와 같이 기판(36)상에 약 두께 50nm 정도의 금속막(40e)을 형성한다.

그리고, 금속막(40e)의 표면에 금속원소 성막실(60) 내의 잔류산소가 반응하여 금속 산화층이 형성되어 있는 경우가 있기 때문에 이 경우에는 이 금속 산화층을 플라즈마 에칭에 의해 제거하는 것이 바람직하다. 여기서의 플라즈마 에칭은 성막실(60)을 Ar 가스 분위기로 하여 제1 전극(70)에 더미 타겟(71a)을 장착하고, 제2 전극(72)에는 금속막(40e)을 형성한 유리 기판(36)을 장착하여, 제1 교류전원(75)에서 제1 전극(70)에 고주파를 공급하여 부하전위를 플로팅(floating)하여 플라즈마를 발생시키는 동시에 제2 전극(72)에 고주파 전력을 공급하여 기판(36)에 200W 정도의 교류전력을 2분 정도 인가함으로써 이루어진다.

(1-2) 게이트 전극용 동막의 2주파 여기 스퍼터 성막공정

성막실(60)을 비산화 분위기로서 Ar 가스 분위기로 하고, 제1 전극(70)에 동으로 이루어진 타겟(71)을 장착하고, 제2 전극(72)에는 유리 기판(36)을 장착하여 직류전원(78)을 동작시켜 직류전력을 타겟(71)에 인가하는 동시에 제2 교류전원(80)을 동작시켜서 교류전력을 유리 기판(36)에 인가하는 2주파 여기 스퍼터법에 의해 동막 스퍼터 성막을 실시하고, 도 7b에 나타난 바와 같이 기판(36)에 형성된 금속막(40e) 상에 약 두께 150nm 정도의 동막(40c)을 형성한다. 이 공정에서는 기판(36)에 인가하는 교류전력은 0.1 내지 5W/cm² 정도이다. 이렇게 하면 동막(40c)을 구성하는 Cu 결정의 입자 반지름(粒徑)을 작게 할 수 있으므로 Cu 결정의 입자 경계(粒界)가 많아져 상기 금속막(40e) 중의 원소가 동막(40c) 중에 도입되어, 이 도입된 원소의 확산이 촉진된다.

(1-3) 게이트 전극용 금속막 및 동막 패터닝공정

동막(40c) 표면에 레지스트를 도포하여 패턴 노광하고, 에칭에 의해 동막(40c)과 금속막(40e)의 불필요한 부분을 제거한 후에 레지스트를 박리하는 패터닝을 수행하고, 도 7c에 나타난 바와 같이 원하는 선폭의 동층(동배선)(40a)과 금속막(40e)의 적층막을 형성한다.

(1-4) 기판(베이스)의 제1 어닐링공정

동층(40a)과 금속막(40e)의 적층막이 형성된 유리 기판(36)을 Ar가스 분위기에서 어닐링 처리하고, 상기 동층(40a)에도 입된 금속막(40e)의 금속원소를 상기 동층(40a)의 표면에 확산시키고, 도 7d에 나타난 바와 같이 상기 동층(40a)의 주위에 티탄, 몰리브덴, 크롬, 탄탈 중에서 선택된 금속 피막(40b)이 형성된 게이트 전극(40)을 얻는다. 여기서 형성된 피막(40b)의 두께는 5nm 내지 20nm 정도이다.

여기서의 어닐링 처리 조건은 400℃ 정도에서 2시간 정도이다.

또한, 어닐링시의 분위기에 산소를 함유시키지 않고 실시하면 산소원자의 함유 비율이 0원자 %인 피막(40b)을 얻을 수 있고, 또한 상기 어닐링시의 분위기의 산소분압을 점차 증가시킴으로써 피막(40b) 중의 산소원자 함유비율을 순차 증가시킬 수 있다.

따라서, 기판(36) 상에 티탄으로 이루어진 금속막(40e)을 형성한 경우에는 티탄 또는 티탄 산화물로 이루어지는 피막(40b)이 형성되고, 보다 구체적으로는 티탄 원자수에 대한 산소 원자수의 비가 1 대 0 내지 1 대 2인 조성의 피막(40b)이 형성되며, 몰리브덴으로 이루어지는 금속막(40e)을 형성한 경우는 몰리브덴 또는 몰리브덴 산화물로 이루어지는 피막(40b)이 형성되고, 보다 구체적으로는 몰리브덴 원자수에 대한 산소 원자수의 비가 1 대 0 내지 1 대 3인 조성의 피막(40b)이 형성되며, 크롬으로 이루어지는 금속막(40e)을 형성한 경우는 크롬 또는 크롬 산화물로 이루어지는

피막(40b)이 형성되고, 보다 구체적으로는 크롬 원자수에 대한 산소 원자수의 비가 1 대 0 내지 1 대 2인 조성의 피막(40b)이 형성되며, 탄탈로 이루어지는 금속막(40e)을 형성한 경우는 탄탈 또는 탄탈 산화물로 이루어지는 피막(40b)이 형성되고, 보다 구체적으로는 탄탈 원자수에 대한 산소 원자수의 비가 1 대 0 내지 1 대 2.5인 조성의 피막(40b)이 형성된다.

또한 티탄으로 이루어지는 금속막(40e)의 두께나, 어닐링 온도를 400°C 내지 1200°C 범위, 어닐링 시간을 30분 내지 1시간 범위에서 변경함으로써 도 2에 나타난 바와 같이 동충(40a)의 주위에 형성된 티탄막(40f)과 이 티탄막(40f)의 표면에 형성된 티탄 원자수에 대한 산소 원자수의 비가 1 대 1 내지 1 대 2인 조성의 막 등의 티탄 산화물로 이루어지는 막(40g)을 갖고서 구성되는 피막(40b)이나, 도 3에 나타난 바와 같이 동충(40a) 주위의 일부분에 형성된 티탄막(40h)과 동충(40a)의 잔부에 형성된 티탄 원자수에 대한 산소 원자수의 비가 1 대 1 내지 1 대 2인 조성의 막 등의 티탄 산화물로 이루어지는 막(40i)을 갖고서 구성되는 피막(40b)을 형성할 수 있다.

(1-5) 게이트 절연막(질화 규소막(41))의 CVD 성막공정
성막실(60)을 $\text{SiH}_4 + \text{NH}_3 + \text{N}_2$ 혼합가스 분위기로 하고, 제 1 전극(70)에 더미 타겟(71a)을 장착하여, 제 1 교류전원(75)에서 제 1 전극(70)에 주파수 200MHz의 고주파를 공급하며, 부하전위를 플로팅 하여 플라즈마를 발생시켜 질화 규소막을 기판(36) 상에 퇴적시키는 CVD 성막을 실시하여 도 8a에 나타난 바와 같이 게이트 절연막(41)을 형성한다. 이 CVD 성막의 경우는 제 1 전극(70)에 장착된 더미 타겟(71a)을 스퍼터 하지 않도록 공급하는 주파수를 크게 설정하고, 제 1 전극(70)에 인가되는 이온 에너지를 작게 하는 동시에 제 2 전극(72)에 고주파 전극을 공급하여 기판(36)에 인가되는 이온 에너지를 조절한다.

(1-6) 반도체 능동막(a-Si)(42)의 CVD 성막공정
성막실(60)을 $\text{SiH}_4 + \text{H}_2$ 혼합가스 분위기로 하고, 제 1 전극(70)에 더미 타겟(71a)을 장착하여, 제 1 교류전원(75)에서 제 1 전극(70)에 주파수 200MHz의 고주파를 공급하며, 또 제 2 교류전원(80)으로부터 제 2 전극(72)에 고주파전력을 공급하며, 유리 기판(36)에 인가되는 이온 에너지를 제어하여 a-Si층의 성막을 실시하여 반도체 능동막(42)을 형성한다.

(1-7) 오믹 접촉막(a-Si: n + 층)(43a) 스퍼터 성막공정
성막실(60)을 $\text{Ar} + \text{Si}$ 분위기로 하고 제 1 전극(70)에 a-Si: n+ 층 생성용의 P 도핑 SiO_2 로 이루어지는 타겟(71)을 장착하고, 제 1 교류전원(75)에서 제 1 전극(70)에 주파수 13.6MHz 정도의 고주파를 공급하며, 또 직류전원(78)에서 공급되는 부하전위를 -200V로 하여 스퍼터링을 수행하여 반도체 능동막(42) 상에 오믹 접촉막(43a)을 형성한다.

(1-8) 반도체 능동막과 오믹 접촉막의 패터닝공정
오믹 접촉막(43a)의 표면에 레지스트를 도포하여 패턴을 노광시키고, 에칭에 의해 불필요한 부분을 제거한 후에 레지스트를 박리하는 패터닝을 수행하여 도 8a에 나타난 바와 같이 게이트 전극(40)보다도 작은 섬 형상(island-shape)의 반도체 능동막(42)과 오믹 접촉막(43)을 얻는다. 반도체 능동막(42)과 오믹 접촉막(43a)의 형성위치는 게이트 전극(40) 상의 게이트 절연막(41)에서 게이트 전극(40)과 대향하는 위치이다.

(1-9) 소스 전극 및 드레인 전극용 금속막의 성막공정
도 8a에 나타난 바와 같이 오믹 접촉막(43a) 상면, 양측면, 및 그 아래의 반도체 능동막(42)의 양측면과 이들에 연속하는 게이트 절연막(41)의 상면 일부분을 덮듯이 두께 50nm 정도의 금속막(46e)을 상술한 게이트 전극용 금속막의 성막공정과 동일하게 형성한다. 그리고 금속막(46e)의 표면에는 금속 산화층이 형성되어 있는 경우가 있으므로, 이 경우에는 이 금속 산화층을 앞서 설명한 금속막(40e)을 플라즈마 에칭하는 방법과 동일하게 제거하는 것이 바람직하다.

(1-10) 소스 전극 및 드레인 전극용 동막의 2주파 여기 스퍼터 성막공정
도 8a에 나타난 바와 같이 금속막(46e) 상에 두께 150nm 정도의 동막(46c)을 상술한 게이트 전극용 동막의 2주파 여기 스퍼터 성막공정과 동일하게 형성한다. 이렇게 하면 상기 금속막(46e) 중의 원소가 동막(46c) 중에 도입된다.

(1-11) 소스 전극 및 드레인 전극용 금속막 및 동막과, 반도체 능동막과 오믹 접촉막의 패터닝공정
반도체 능동막(42)의 중앙부분의 상부를 에칭에 의해 제거하고, 반도체 능동막(42)의 중앙부분 상의 오믹 접촉막(43a), 금속막(46e), 및 동막(46c)을 제거함으로써 도 8b에 나타난 바와 같이 반도체 능동막(42)의 양단 부분 상에 서로 간격을 두고 절어진 오믹 접촉막(43, 44)과, 소스 전극(46) 형성용 금속막(46e) 및 동층(46a)과, 드레인 전극(48) 형성용 금속막(46e)과 동층(48a)을 형성할 수 있다.

(1-12) 기판의 제 2 어닐링공정
소스 전극(46) 형성용 금속막(46e) 및 동층(46a)과, 드레인 전극(48) 형성용 금속막(46e)과 동층(48a)이 형성된 기판(36)을 앞서 수행한 기판의 제 1 어닐링공정과 동일하게 어닐링 처리하여, 상기 동층(46a, 48a) 중에 도입된 금속막(46e)의 금속원소를 상기 동층(46a, 48a)의 표면에 확산시켜, 도 8c에 나타난 바와 같이 상기 동층(46a, 48a)의 주위에 티탄, 폴리머, 크롬, 탄탈 중에서 선택된 금속 피막(46b, 48b)이 형성된 소스 전극(46)과 드레인 전극(48)을 얻을 수 있다. 여기서 형성된 피막(46b, 48b)은 게이트 전극(40)의 피막(40b)과 동일하게 상술한 비율로 산소가 함유되어 있어도 된다.

또한, 게이트 전극(40)의 피막(40b)을 형성하는 경우와 동일하게 금속막(46e)의 두께나 어닐링 조건을 변경함으로써 동층의 주위에 형성된 티탄막과 이 티탄막의 표면에 형성된 티탄 원자수에 대한 산소 원자수의 비가 1 대 1 내지 1 대 2인 조성의 막 등의 티탄 산화물로 이루어지는 막을 갖고서 구성되는 피막(46b, 48b)나 동층 주위의 일부분에 형성된 티탄막과 동층 주위의 잔부에 형성된 티탄 원자수에 대한 산소 원자수의 비가 1 대 1 내지 1 대 2인 조성의 막 등의 티탄 산화물로 이루어지는 막(40i)을 갖고서 구성되는 피막(46b, 48b)을 형성할 수 있다.

(1-13) 패시베이션막(49)의 CVD 성막공정

반도체 능동막(42), 소스 전극(46)과 드레인 전극(48)을 덮듯이 질화규소로 이루어지는 패시베이션막(49)을 게이트 절연막(41)의 CVD 성막공정과 거의 동일하게 성막한다.

(1-4) 화소 전극 형성공정

이어서, 패시베이션막(49)을 건식법 또는 건식법과 습식법을 병용하여 에칭하여 콘택홀(50)을 형성한 후, 패시베이션막(49) 상에 ITO층을 형성하고, 패터닝함으로써 화소 전극(35)을 형성하며 도 1에 나타난 바와 같이 콘택홀(50) 저면 및 내벽면, 패시베이션막(49) 상면에 걸쳐 접속도체부(51)를 형성하고, 이 접속도체부(51)를 통하여 드레인 전극(48)과 화소 전극(35)을 접속하면 도 1과 같은 박막 트랜지스터 기판(31)이 얻어진다.

그리고, 기판(36)으로서 표면이 SiN_x 막(36a)이 형성된 것을 사용하는 경우는 기판(36) 상에 금속막(40e)을 형성하기 전에 상술한 게이트 절연막(41)의 CVD 성막공정과 동일한 방법으로 SiN_x 막을 성막해 둔다.

그리고, 소스 배선에 대해서는 도면에 기재되어 있지 않지만 게이트 절연막(41) 상에 소스 전극(46)을 형성하는 경우의 성막작업과 어닐링시 및 에칭시에 동시에 형성하면 된다.

상술한 바와 같이 박막 트랜지스터 기판(31)의 제조에 의하면, 상기 금속막이 형성된 기판(36) 상에 2주파 여기 스퍼터법에 의해 동막을 형성하는 성막공정과, 이 동막의 패터닝공정과, 상기 기판의 어닐링공정에 의해 수분이나 산소에 대한 내 산화성을 향상시킬 수 있고, 또 가에 에칭이나 레지스트 박리액 등에 대하여 내부식성을 향상시킬 수 있으며, 비타공의 밀착성을 향상시킬 수 있고, 도 인접막과의 사이에서의 원소 상호 확산을 방지할 수 있는 게이트 전극(40), 소스 전극(46), 및 드레인 전극(48)을 기판(36) 상에 용이하게 형성할 수 있으므로 제조공정이 복잡해지지 않는다.

또한, 본 발명의 박막 트랜지스터 기판 제조방법은 저온공정으로 기판(36) 상에 상술한 바와 같은 특성을 갖는 게이트 전극(40), 소스 전극(46), 및 드레인 전극(48)을 형성할 수 있으므로 600°C 이상의 가열에 견딜 수 없는 유리 기판 등을 베이스로서 사용할 경우에도 적용할 수 있다.

그리고, 상술한 실시형태의 박막 트랜지스터 기판의 제조방법에서도 도 4에 나타난 바와 같은 플라스마 장치를 구성하는 처리실 내에서 전극 피막용의 금속막을 형성한 경우에 대하여 설명하였으나 상기 금속막은 통상의 스퍼터 장치로 형성하여도 된다.

<제2 실시형태>

도 9는 본 발명의 액정표시장치의 제2 실시형태의 요부를 나타낸 것으로, 제2 실시형태의 액정표시장치(30a)가 도 1에 나타난 제1 실시형태의 액정표시장치(30)와 상이한 점은 박막 트랜지스터 기판으로서 도 9에 도시한 바와 같은 구성의 박막 게이트형 박막 트랜지스터 기판(31a)이 주비되는 것이다.

이 박막 트랜지스터 기판(31a)이 도 1에 나타난 박막 트랜지스터 기판(31)과 상이한 점은 게이트 전극(40) 유리 기판(36) 측의 면에 TiN층(45a)이 형성되고, 소스 전극(46) 오믹 접촉막(43) 측의 면에 TiN층(47a)이 형성되며, 드레인 전극(48) 오믹 접촉막(44) 측의 면에 TiN층(47b)이 형성되는 것이다. 여기서의 소스 전극(46)은 TiN층(47a)을 통하여 오믹 접촉막(43)과 반도체 능동막(42)에 전기적으로 접속되어 있다. 드레인 전극(48)은 TiN층(47b)을 통하여 오믹 접촉막(44)과 반도체 능동막(42)에 전기적으로 접속되어 있다.

제2 실시형태의 박막 트랜지스터 기판(31a)에서는 상기하고 같이 구성함으로써 제1 실시형태의 박막 트랜지스터(31)와 동일한 작용 효과를 갖는다. 또한, 제2 실시형태의 것은 전극(40, 46, 48)과 기판(36) 사이에 TiN층(45a, 47a, 47b)가 형성되어 있으므로 각 전극 아래쪽의 인접막인 기판(36)이나 게이트 절연막(41) 등으로부터 원소가 확산하여 와도 TiN층(45a, 47a, 47b)에 의해 전극(40, 46, 48)에의 원자 확산이 저해되어 기판(36)이나 인접막에서의 원소 확산에 기인하는 배선저항의 상승 방지효과가 뛰어나다. 또한 TiN층(45a, 47a, 47b)에 의해 전극(40, 46, 48)의 밀착성이 향상된다.

이 박막 트랜지스터 기판(31a)도 도 4 내지 도 6에 나타난 박막 제조장치를 사용하여 제조할 수 있다.

이하에 제2 실시형태의 박막 트랜지스터 기판(31a)의 제조방법에 대하여 상세하게 설명한다.

(2-1) 게이트 전극용 TiN막의 성막공정

성막실(60)을 N를 함유하는 가스 분위기로 하고, 제1 전극(70)에 티탄으로 이루어지는 타겟(71)을 장착하고, 제2 전극(72)에 유리 기판(36)을 장착하여 제1 교류전원(75)에서 제1 전극(70)에 주파수 13.6MHz 정도의 고주파를 공급하고, 또 직류전원(78)에서 공급되는 부하전위를 -200V로 하여 스퍼터링을 수행하여 도 10a에 나타난 바와 같이 기판(36) 상에 막 두께 50nm 정도의 TiN막(45)을 형성한다. 여기서의 N에 함유하는 가스 분위기로는 N_2 , N_2O , NO_2 등의 가스와 Ar가스의 혼합가스가 사용된다.

(2-2) 게이트 전극용 금속막의 성막공정

성막실(60)을 N를 함유하는 가스 분위기에서 Ar가스 분위기로 변경하고, 제1 전극(70)에 장착하는 타겟(71)을 티탄, 몰리브덴, 크롬, 탄탈 중에서 선택하여 제1 금속으로 이루어지는 것으로 변경하여, 상기 (1-1) 게이트 전극용 금속의 성막공정과 동일한 방법으로 도 10b에 나타난 바와 같이 기판(36)에 형성된 TiN막(45) 상에 막 두께 50nm 정도의 금속막(40e)을 형성한다.

(2-3) 게이트 전극용 동막의 2주파 여기 스퍼터 성막공정
상기 (1-2)의 2주파 여기 스퍼터 성막공정과 동일한 방법으로 도 10b에 나타난 바와 같이 금속막(40e) 상에 막 두께 150nm 정도의 동막(40c)을 형성한다. TiN막(45), 금속막(40e), 및 동막(40c)으로 이루어지는 적층막(57)을 형성한다. 이렇 게 하면 상기 금속막(40e) 중의 원소가 동막(40c) 중에 도입된다.

(2-4) 게이트 전극용 TiN 막, 금속막, 및 동막의 패터닝공정

상기 (1-3)의 패터닝공정과 동일한 방법으로 적층막(57)에 패터닝을 실시하여 도 10c에 나타난 바와 같이 원하는 선 폭(線幅)의 TiN층(45a), 금속막(40e), 및 동층(40a)으로 이루어지는 적층막을 형성한다.

(2-5) 기판(베이스)의 제1 어닐링공정

TiN층(45a), 금속막(40e), 및 동층(40a)의 적층막이 형성된 기판(36)을 상기 (1-4)의 제1 어닐링공정과 동일하게 어닐링 처리하고, 상기 동층(40a) 중에 도입된 금속막(40e)의 금속원소를 상기 동층(40a)의 표면에 확산시켜, 도 10d에 나타난 바와 같은 상기 동층(40a) 주위에 티탄, 몰리브덴, 크롬, 탄탈 중에서 선택된 금속 피막(40b)이 형성된 게이트 전극(40)을 얻는다.

그리고, 상기 TiN층(45a)은 게이트 전극(40)과 기판(36) 사이에 개재된 채로 있다.

(2-6) 게이트 절연막(질화 규소막)(41)의 CVD 성막공정

상기(1-5)의 게이트 절연막의 CVD 성막공정과 동일하게 하여 질화 규소막을 기판(36) 상에 퇴적시키는 CVD 성막을 수행하여, 도 11a에 나타난 바와 같은 게이트 절연막(41)을 형성한다.

(2-7) 반도체 능동막(a-Si층)(42)의 CVD 성막공정

상기(1-6)의 반도체 능동막의 CVD 성막공정과 동일하게 하여 게이트 절연막(41) 상에 a-Si층의 성막을 수행하여 반도체 능동막(42)을 형성한다.

(2-8) 오믹 접촉막(a-Si : n + 층)(43a)의 스퍼터 성막공정

상기(1-7)의 오믹 접촉막의 스퍼터 공정과 동일하게 하여 반도체 능동막(42) 상에 오믹 접촉막(43a)을 형성한다.

(2-9) 반도체 능동막과 오믹 접촉막의 패터닝공정

상기(1-8)의 패터닝공정과 동일하게 하여 반도체 능동막(42)과 오믹 접촉막(43a)에 패터닝을 실시하여, 도 11a에 나타난 바와 같이 게이트 전극(40)보다도 작은 섬 형상의 반도체 능동막(42)과 오믹 접촉막(43a)을 얻는다.

(2-10) 소스 전극 및 드레인 전극용 TiN막의 성막공정

성막막(60)을 상기(2-1)의 공정과 동일하게 N을 함유하는 가스 분위기로 하고, 제1 전극(70)에 티탄으로 이루어진 타겟(71)을 장착하고 제2 전극(72)에는 유리 기판(36)을 장착하여, 제1 교류전원(75)에서 제1 전극(70)에 주파수 13.56MHz 정도의 고주파를 공급하고, 또 직류전원(78)에서 공급되는 부하전위를 -200V로 하여 스퍼터링을 수행하여, 도 11a에 나타난 바와 같이 오믹 접촉막(43a)의 상면, 양측면, 및 그 아래의 반도체 능동막(42) 양측면과 이들에 접촉하는 게이트 절연막(41)의 상면의 일부를 덮듯이 막 두께 50nm 정도의 TiN막(47)을 형성한다.

(2-11) 소스 전극 및 드레인 전극용 금속막의 성막공정

도 11a에 나타난 바와 같이 TiN막(47) 상에 막 두께 50nm 정도의 금속막(46e)을 상술한 게이트 전극용 금속막의 성막공정과 동일하게 하여 형성한다.

(2-12) 소스 전극 및 드레인 전극용 동막의 2주파 여기 스퍼터 성막공정

도 11a에 나타난 바와 같이 금속막(46e) 상에 막 두께 150nm 정도의 동막(46c)을 상술한 게이트 전극용 동막의 2주파 여기 스퍼터 성막 공정과 동일하게 하여 형성하고, TiN막(47), 금속막(46e), 및 동막(46c)으로 이루어지는 적층막(58)을 얻는다. 이와 같이 하면 상기 금속막(46e) 중의 원소가 동막(46c) 중에 도입된다.

(2-13) 소스 전극 및 드레인 전극용 TiN막과 금속막 및 동막과, 반도체 능동막과 오믹 접촉막의 패터닝공정

반도체 능동막(42)의 중앙부분의 상부를 에칭에 의해 제거하고, 반도체 능동막(42)의 중앙부분 상의 오믹 접촉막(43a), TiN막(47), 금속막(46e), 및 동막(46c)을 제거함으로써, 도 11b에 나타난 바와 같이 반도체 능동막(42)의 양단부분 상에 상호 간격을 두고 떨어진 오믹 접촉막(43, 44)과, 소스 전극(46) 형성용 TiN층(47a)과 금속막(46e), 및 동층(46a)과 드레인 전극(48) 형성용 TiN층(47b)과, 금속막(46e)과 동층(48a)을 형성할 수 있다.

(2-14) 기판의 제2 어닐링공정

소스 전극(46) 형성용 TiN층(47a), 금속막(46e) 및 동층(46a)과 드레인 전극(48) 형성용 TiN층(47b), 금속막(46e), 및 동층(48a)이 형성된 기판(36)을 앞서 수행한 기판의 제1 어닐링공정과 동일하게 하여 어닐링 처리하여, 상기 동층(46a, 48a) 중에 도입된 금속막(46e)의 금속원소를 상기 동층(46a, 48a)의 표면에 확산시켜, 도 11c에 나타난 바와 같은 동층(46a, 48a)의 주위에 티탄, 몰리브덴, 크롬, 탄탈 중에서 선택된 금속 피막(46b, 48b)이 형성된 소스 전극(46)과 드레인 전극(48)을 얻을 수 있다.

(2-15) 패시베이션막(49)의 CVD 성막공정

반도체 능동막(42), 소스전극(46a), 및 드레인 전극(48)을 덮듯이 질화 규소로 이루어지는 패시베이션막(49)을 게이트 절연막(41)의 CVD 성막공정과 거의 동일하게 하여 성막한다.

(2-16) 화소전극 형성공정

계속하여, 패시베이션막(49)을 건식법 또는 건식법과 습식법의 병용에 의해 에칭하여 콘택홀(50)을 형성한 후, 패시베이션막(49) 상에 ITO층을 형성하고 패터닝함으로써 화소 전극(35)을 형성하여 도 9에 나타난 바와 같이 콘택홀(50)의 저면 및 내벽면, 패시베이션막(49) 상면에 걸쳐 접촉도체부(51)를 형성하고, 이 접촉도체부(51)를 통하여 드레인 전극(48)과 화소 전극(35)을 접속하면 도 9와 동일한 박막 트랜지스터 기판(31a)을 얻을 수 있다.

상술한 바와 같은 박막 트랜지스터 기판 제조방법에 의하면, 도 9에 나타난 바와 같은 구조의 박막 트랜지스터 기판(31a)을 제조할 수 있다.

또, 여기서의 박막 트랜지스터 제조방법에서, 금속막(40e, 46e)의 두께를 변경하거나 기판(36)을 어닐링 처리할 때 어닐링 온도를 500°C 이상으로 하면 기판(36)과 각 동층 사이의 금속막(40e, 46e)을 구성하는 티탄 등의 금속원소의 거의 전부를 동층(40a, 46a, 48a)의 표면에 확산시킬 수 있고, 예를 들면 도 12에 나타난 바와 같이 동층(40a, 46a, 48a)의 표면에 티탄 원자수에 대한 산소 원자수의 비가 1 대 0 내지 1 대 2인 조성의 피막(40b)을 갖는 것과 같은 게이트 전극(40)이나 도 13에 나타난 바와 같이 동층(40a)의 표면에 형성된 티탄막(40m)과 이 티탄막(40m)의 표면에 형성된 티탄 원자수에 대한 산소 원자수의 비가 1 대 1 내지 1 대 2인 조성의 막(40n)을 갖는 것과 같은 게이트 전극(40)을 얻을 수 있다. 또한 소스 전극(46)이나 드레인 전극(48)에 대해서도 동층의 표면에 티탄 원자수에 대한 산소 원자수의 비가 1 대 0 내지 1 대 2인 조성의 피막을 갖는 것과 같은 것이나 동층의 표면에 형성된 티탄막과 이 티탄막의 표면에 형성된 티탄 원자수에 대한 산소 원자수의 비가 1 대 1 내지 1 대 2인 조성의 막을 갖는 것과 같은 것을 얻을

수 있다.

이렇게 하여 얻어진 전극(40, 46, 48)은 동층(40a, 46a, 48a)의 하면측에 피막(40b, 46b, 48b)이 형성되어 있지 않지만 전극(40, 46, 48)과 기판(36) 사이에 TiN층(45a, 47a, 47b)이 형성되어 있기 때문에 각 전극의 하측의 인접막인 기판(36)이나 게이트 절연막(41) 등으로부터 원소가 확산되어 와도 TiN층(45a, 47a, 47b)에 의해 전극(40, 46, 48)에의 원자 확산이 저해되어 기판(36)이나 인접막으로부터의 원소 확산에 기인하는 배선저항의 상승을 방지하는 효과가 뛰어나다.

<제3 실시형태>

다음에, 본 발명의 박막 트랜지스터 기판의 제3 실시형태 대하여 도 14를 사용하여 설명한다.

제3 실시형태의 박막 트랜지스터 기판(31b)은 톱 게이트형(top-gate type) TFT를 구현한 것이고, 도 14에 나타난 바와 같이 예를 들면 유리등의 투명기판(102) 상에 다결정 실리콘으로 이루어지는 반도체층(103)이 형성되고, 그 중앙부 상에 SiN_x 등으로 이루어지는 게이트 절연막(104)이 형성되며, 게이트 절연막(104) 상에 TiN층(101a)을 통하여 게이트 전극(105)이 형성되어 있다. 이 게이트 전극(105)은 동층(105a)의 표면에 제2 실시형태의 피막(40b)과 동일한 재료로 이루어지는 피막(105b)을 갖고서 구성되는 것이다. 그리고, 게이트 전극(105)은 도사하지 않은 게이트 배선과 일체로 형성되어 있다.

반도체층(103)에는 10⁻¹⁶ atm/cm² 이하의 저 농도로 P⁺, As⁺ 등의 n형 불순물이 도입된 n-반도체층으로 이루어지는 소스 영역(107) 및 드레인 영역(108)이 형성되고, 이들 소스영역(107), 드레인 영역(108)에 가워진 영역이 채널부(109)가 되어 있다. 또한 이들 소스 영역(107), 드레인 영역(108)을 구성하는 n-반도체층은 게이트 절연막(104) 단부의 아래측에까지 침입하는 형태로 형성되어 있다.

또한 소스 영역(107) 및 드레인 영역(108) 표면에는 텅스텐 실리사이드(tungsten silicide), 몰리브덴 실리사이드(molybdenum silicide) 등의 실리사이드막(110)이 각각 형성되어 있고, 하측의 실리사이드막(110) 상에 TiN층(125a)을 통하여 소스 배선(111)과 소스 전극(112)이 형성되고, 다른 쪽 실리사이드막(110) 상에 TiN층(125b)을 통하여 드레인 전극(113)이 형성되어 있다. 이들 소스 배선(111), 소스 전극(112)은 동층(112a)의 표면에 제2 실시형태의 피막(46b)과 동일한 재료로 이루어지는 피막(112b)을 갖고서 구성되는 것이다. 드레인 전극(113)은 동층(113a)의 표면에 제2 실시형태의 피막(48b)과 동일한 재료로 이루어지는 피막(113b)을 갖고서 구성되는 것이다.

그리고, 전면을 덮도록 패시베이션막(114)이 형성되고, 이 패시베이션막(114)을 관통하여 드레인 전극(113)에 이르는 콘택홀(115)이 형성되고, 이 콘택홀(115)을 통하여 드레인 전극(113)과 접속된 ITO로 이루어지는 화소 전극(116)이 형성되어 있다.

또한 도사를 생략하지만 게이트 배선 단부(端部)의 게이트 단자부 및 소스 배선 단부의 소스 단자부에서, 상기 콘택홀(115)과 동일하게 게이트 배선 및 소스 배선을 덮는 패시베이션막(114)이 개구되어 ITO로 이루어지는 패드(pad)가 게이트 배선 및 소스 배선에 접속하여 각각 형성되어 있다.

제3 실시형태의 박막 트랜지스터 기판(31b)에서는 전극이나 배선을 구성하는 동층(105a, 112a, 113a)의 표면에 피막(105b, 112b, 113b)이 형성되어 있으므로 수분이나 산소에 대하여 내 산화성을 향상시킬 수 있고, 또 에칭제나 레지스트 박리액 등에 대하여 내 부식성을 향상시킬 수 있다. 또한 게이트 전극(105), 소스 배선(111) 및 소스 전극(112), 드레인 전극(113)과 기판(102) 사이에 각각 TiN층(101a, 125a, 125b)이 형성되어 있으므로 각 전극이나 배선의 하측의 인접막인 기판(베이스)(102)나 게이트 절연막(104) 등으로부터 원소가 확산하여 와도 TiN층(101a, 125a, 125b)에 의해 원자 확산이 저해되어 기판(102)이나 게이트 절연막(104) 등으로부터의 확산에 기인하는 배선저항의 상승 방지효과가 뛰어나다. 또한 TiN층(101a, 125a, 125b)에 의해 게이트 전극(105), 소스 배선(111) 및 소스 전극(112), 드레인 전극(113)의 밀착성이 향상된다.

(실시예 1)

도 4 내지 도 6에 나타난 박막 제조장치를 사용하고, 성장실(60)을 Ar가스 분위기로 하여, 제1 전극(70)에 티탄으로 이루어지는 타겟(71)을 장착하고, 제2 전극(72)에 1번이 6인치(1인치는 15.24cm)인 정방형 유리 기판을 장착하여, 제1 교류전원(75)에서 제1 전극(70)에 제1 13.6MHz 정도의 고주파를 공급하고, 또 직류전원(78)에서 부하전위를 -200V로 하여 스퍼터링을 수행하여 유리 기판 상에 막 두께 50nm인 티탄막을 형성하였다.

이어서, 성장실(60)을 Ar가스 분위기로 하여 제1 전극(70)에 동으로 이루어지는 타겟(71)을 장착하고, 제2 전극(72)에는 유리 기판을 장착하여, 직류전원(78)을 작동시켜 직류전력을 타겟(71)에 인가하는 동시에 제2 교류전원(78)을 동작시켜서 교류전력을 유리 기판에 인가하는 2주파 여기 스퍼터법에 의해 상기 티탄막 상에 막 두께 150nm인 Cu막을 형성하였다. 여기서의 유리 기판에 인가하는 교류전력은 300W이었다.

계속하여, 이 Cu막의 표면에 레지스트를 도포하여 패턴을 도광시키고, 에칭제에 의해 Cu막과 티탄막의 불필요한 부분을 제거한 후에 감광성 레지스트를 박리하는 패턴링을 실시하고 티탄막과 Cu층의 적층막을 형성하였다.

이어서, 상기 적층막이 형성된 기판을 질소가스 분위기에서 400°C, 2시간 어닐링 처리하여 배선을 제작하였다. 이 실시예 1에서 얻어진 배선 구조를 오저분석법에 의해 조사한 결과, 동층 주위에 Ti를 함유하는 피막이 형성된 구조이고, 또 동층 상의 피막 두께는 10nm이었다. 그리고 실시예 1의 배선 저항(시트 저항)을 측정한 결과 0.27Ω 이고, 어닐링 전후로 변화가 없었다.

(실시예 2)

유리 기판에 인가하는 교류전력을 100W로 한 이외는 상기 실시예 1과 동일하게 하여 배선을 제작하였다. 이 실시예 2에서 얻어진 배선 구조를 오저분석법에 의해 분석한 결과, 동층 주위에 Ti를 함유하는 피막이 형성된 구조이고, 또 동층 상의 피막 두께는 8nm이었다. 또한, 실시예 2의 배선층의 저항(시트 저항)을 측정한 결과 0.23Ω 이었다.

(비교예 1)

유리 기판에 인가하는 교류전력을 0W로 한 이외는 상기 실시예 1과 동일하게 하여 배선을 제작하였다. 이 비교예 1에서 얻어진 배선 구조를 오저분석법에 의해 조사한 결과 동층 주위에 Ti를 함유하는 피막이 형성된 구조이고, 또 동층 상의 피막 두께는 4nm이었다. 또한, 비교예 1의 배선 저항(시트 저항)을 측정한 결과 0.23Ω이었다.

상기 실시예 1, 2 및 비교예 1로부터 유리 기판에 인가하는 교류전력을 크게 함에 따라 Cu층 상에 형성되는 피막 두께가 두꺼워짐을 알 수 있다.

(비교예 2)

도 4 내지 도 6에 나타난 박막 제조장치를 사용하고, 성막실(60)을 Ar가스 분위기로 하여, 제1 전극(70)에 동으로 이루어지는 타겟(71)을 장착하고, 제2 전극(72)에 유리 기판을 장착하여, 직류전원(78)을 작동시켜 직류전력을 타겟(71)에 인가하는 동시에 제2 교류전원(80)을 작동시켜서 교류전력을 유리 기판에 인가하는 2주파 어기 스퍼터법에 의해 막 두께 150nm인 Cu막 형성하였다. 여기서의 유리 기판에 인가하는 교류전력은 200W이었다.

이어서, 이 Cu막의 표면에 레지스트를 도포하여 패턴을 노광시키고, 에칭제에 의해 Cu막의 불필요한 부분을 제거한 후에 감광성 레지스트를 박리하는 패터닝을 실시하여 Cu층을 형성하여 배선을 제작하였다. 이 비교예 2에서 얻어진 배선 저항(시트 저항)은 0.20Ω이었다.

(비교예 3)

유리 기판에 인가하는 교류전력을 100W로 한 이외는 상기 비교예 2와 동일하게 하여 배선을 제작하였다. 이 비교예 3에서 얻어진 배선 저항(시트 저항)을 측정한 결과, 0.18Ω이었다.

(실험예 1)

실시예 1, 2, 비교예 1 내지 3에서 얻어진 배선의 막역내성에 대하여 조사하였다. 여기서의 막역내성은 각 배선을 과산화암모늄 에칭액(ammonium persulfate etchant)에서 60초간 침적하고, 이들을 박리액에서 꺼내어 린스, 세정, 건조시켰을 때의 에칭에 침적 전후의 배선 표면 상태를 원자력 현미경(AFM, Atomic Force Microscope)에 의해 관찰함으로써 평가하였다. 그 결과 도 15부터 도 17에 나타내었다. 도 15는 과산화암모늄 에칭액 침적 후의 실시예 1의 배선 표면의 급속조직을 나타낸 사진이다. 도 16은 과산화암모늄 에칭액 침적 후의 실시예 2의 배선 표면의 급속조직을 나타낸 사진이다. 도 17은 과산화암모늄 에칭액 침적 후의 비교 예 1의 배선 표면의 급속조직을 나타낸 사진이다. 또한, 각 배선의 에칭율을 측정한 결과, 어닐링 전의 실시예 1의 배선은 132nm/분, 어닐링 후의 실시예 1의 배선은 약 3분간 유지시킨 후 어닐링 전의 배선과 동일한 132nm/분, 어닐링 전의 실시예 2의 배선은 126nm/분, 어닐링 후의 실시예 2의 배선은 1분간 유지시킨 후 어닐링 전의 배선과 동일한 126nm/분, 어닐링 전의 비교예 1의 배선은 128nm/분, 어닐링 후의 비교예 1의 배선은 1분 미만이고, 그 후는 어닐링 전의 배선과 동일한 128nm/분, 비교예 2의 배선은 127nm/분, 비교예 3의 배선은 128nm/분이고, 또 실시예 1과 동일한 어닐링을 한 후에도 에칭율은 변화하지 않았다.

도 15 내지 도 17에 나타난 결과 및 에칭을 측정결과로부터 분명하게 이해 할 수 있는 바와 같이, 기판에 인가하는 교류전류가 0W인 비교예 1의 배선이나 동등한 형성한 비교예 2, 3의 배선은 에칭액에 의한 에칭율이 에칭 개시 직후부터 조금, 또한 비교예 1의 배선은 거의 전면에 걸쳐 에칭되어 있어(표면 보호율이 7%) 에칭액에 의해 큰 손상을 받은 것을 알 수 있다. 이에 대하여 실시예 1, 2의 것은 약 1분간 이상 에칭이 진행하지 않는 유지시간을 가지고, 기판에 인가하는 교류전력이 200W인 실시예 1의 배선의 표면 보호율은 90%, 기판에 인가하는 교류전력이 100W인 실시예 2의 배선의 표면 보호율은 60%이고, 에칭액 침적 전후의 배선의 표면 상태가 그다지 변화하지 않았으며 비교예 1의 것에 비하여 막역 내성이 뛰어난 것을 알 수 있다. 그리고 여기서의 표면 보호율이란 에칭 침적 전후의 배선 표면적(100%)에 대하여 에칭액 침적 후에 남은 표면부분의 합계면적의 비율이다.

또한, 실시예 1, 2의 배선전에는 어닐링 전후의 비저항은 그다지 변화하지 않는다.

도 18 내지 도 19에 실시예 1의 배선의 어닐링 처리 전후의 배선구조를 오저분석법에 조사한 결과를 나타낸다. 도 18은 실시예 1의 배선의 어닐링 처리 전의 깊이 프로파일(depth profile)이고, 도 19는 실시예 1의 배선의 어닐링 처리 후의 깊이 프로파일이다.

도 18 내지 도 19에 나타낸 결과로부터 어닐링 처리 전은 유리 기판과 Cu층 사이의 Ti 함유량이 많고, Cu층 중에는 Ti가 약간 함유되어 있으며, 또한 Cu층 표면에는 거의 Ti가 함유되어 있지 않은 것을 알 수 있다. 여기서 Cu층 중에 Ti가 함유되어 있는 것은 Cu를 스퍼터 성막할 때에 기판에 교류전력을 인가하였기 때문이라고 생각된다. 또한 어닐링 처리 후는 유리 기판과 Cu층 사이의 Ti 함유량이 어닐링 처리 전에 비하여 적어지며, 또 Cu층 표면 측에 Ti 및 O의 피크(peak)가 관찰되고, Cu층 표면의 Ti 및 O가 어닐링 처리 전에 비하여 많아졌음을 알 수 있다. 이로부터 어닐링 처리를 실시하는 것에 의해 Ti가 Cu층의 표면에 확산한 것을 알 수 있다.

(실시예 3)

티타늄으로 이루어진 타겟(71)을 대체하여 크롬으로 이루어진 타겟(71)을 사용하고, 유리 기판 상에 크롬막을 형성한 이외에는 상기 실시예 1과 동일하게 하여 배선을 제작하였다. 또한 실시예 3의 배선층의 저항(시트 저항)을 측정한 결과 0.14Ω이었다.

(실시예 4)

유리 기판에 인가하는 교류전력을 100W로 한 이외에는 상기 실시예 3과 동일하게 하여 배선을 제작하였다. 또한, 실시예 4의 배선층의 저항(시트 저항)을 측정한 결과 0.14Ω이었다.

(비교예 4)

유리 기판에 인가하는 교류전력을 0W로 한 이외에는 상기 실시예 3과 동일하게 하여 배선을 제작하였다. 그리고, 비교예 4의 배선층의 저항(시트 저항)을 측정한 결과 0.14Ω이었다.

(실험예 2)

실시예 3, 4, 비교예 4에서 얻어진 배선의 막역 내성에 대하여 상기 실험예 1과 동일하게 하여 조사하였다. 그 결과를 도 20 내지 도 33에 나타내었다. 도 20은 과산화암모늄 에칭액 침적 후의 실시예 3의 배선 표면의 급속조직을 나타낸

사진이다. 도 21은 과황산암모늄 에칭액 침적 후의 실시예 4의 배선 표면의 급속조직을 나타낸 사진이다. 도 22는 과황산암모늄 에칭액 침적 후의 비교예 4의 배선 표면의 급속조직을 나타낸 사진이다.

또한, 각 배선의 에칭율을 측정한 결과, 어닐링 전의 실시예 3의 배선은 128nm/분, 어닐링 후의 실시예 3의 배선은 약 2분간의 유지시간 후 어닐링 전의 배선과 동일한 128nm/분, 어닐링 전의 실시예 3의 배선은 131nm/분, 어닐링 후의 실시예 3의 배선은 1분간 이상의 유지시간 후 어닐링 전의 배선과 동일한 131nm/분, 어닐링 전의 비교예 4의 배선은 127nm/분, 어닐링 후의 비교예 4의 배선은 유지시간은 1분 미만이고, 그 후는 어닐링 전의 배선과 동일한 127nm/분이었다.

도 20 내지 도 22에 나타난 결과 및 에칭율의 측정결과로부터 분명하게 이해 할 수 있는 바와 같이, 기판에 인가하는 교류전류가 0W인 비교예 4의 배선이나 동등한 비교예 2, 3의 배선은 에칭액에 의한 에칭율이 에칭 개시 직후부터 크고, 또한 비교예 4의 배선은 거의 전면에 걸쳐 에칭되어 있어(표면 보호율이 15%) 에칭액에 의해 큰 손상을 받은 것을 알 수 있다. 이에 대하여 실시예 3, 4의 것은 약 1분간 이상 에칭이 진행하지 않는 유지시간을 가지며, 기판에 인가하는 교류전력이 200W인 실시예 3의 배선의 표면 보호율은 70%, 기판에 인가하는 교류전력이 100W인 실시예 4의 배선의 표면 보호율은 50%이고, 에칭액 침적 전후의 배선의 표면 상태가 그다지 변화하지 않으며, 비교예 4의 것에 비하여 약액 내성이 뛰어난 것을 알 수 있다.

또한, 실시예 3, 4의 배선에 있어서는 어닐링 전후의 비저항은 그다지 변화가 없다.

도 23 내지 도 24는 실시예 3의 배선의 어닐링 처리 전후의 배선구조를 오차분석법에 조사한 결과를 나타낸다. 도 23은 실시예 3의 배선의 어닐링 처리 전의 길이 프로파일이고, 도 24는 실시예 3의 배선의 어닐링 처리 후의 길이 프로파일이다.

도 23 내지 도 24에 나타난 결과로부터 어닐링 처리 전은 유리 기판과 Cu층 사이의 Cr 함유량이 많고, Cu층 중에는 Cr이 약간 함유되어 있으며, 또한 Cu층 표면에는 Cr이 거의 함유되어 있지 않은 것을 알 수 있다. 여기서 Cu층 중에 Cr이 함유되어 있는 것은 Cu를 스퍼터 성막할 때에 기판에 교류전력을 인가하였기 때문이라고 생각된다.

또한 어닐링 처리 후에는 유리 기판과 Cu층 사이의 Cr 함유량이 어닐링 처리 전에 비하여 적어지며, 또 Cu층 표면 측에 Cr 및 O의 피크가 관찰되고, Cu층 표면의 Cr 및 O가 어닐링 처리 전에 비하여 많아졌음을 알 수 있다. 이들로부터 어닐링 처리를 실시하는 것에 의해 Cr이 Cu층의 표면에 확산한 것을 알 수 있다.

(실험예 3)

티탄으로 이루어지는 타겟(71)을 대체하여 몰리브덴으로 이루어진 타겟(71)을 사용하고, 유리 기판에 인가하는 교류전력을 0 ~ 200W 범위에서 변경하여, 유리 기판 상에 몰리브덴막을 형성한 이외에는 상기 실시예 1과 동일하게 하여 배선을 제작하였을 때의 Cu층 상에 형성된 피막과 유리 기판에 인가하는 교류전력과 관계가 생각되었다. 그 결과 유리 기판에 인가하는 교류전력이 200W인 경우에 얻어진 피막은 7nm, 100W인 경우에 얻어진 피막은 6nm, 0W인 경우에 얻어진 피막은 2nm 이었다.

(실험예 4)

도 4 내지 도 6에 나타난 박막 제조장치를 사용하여, 성막실(60)을 N₂와 Ar가스 혼합 분위기로 하고, 제1 전극(70)에 티탄으로 이루어지는 타겟(71)을 장착하고, 제2 전극(72)에 1번이 6인치인 정방형의 유리 기판을 장착하며, 제1 교류전원(75)에서 제1 전극(70)에 주파수 13.6MHz 정도의 고주파를 공급하고, 또 직류전원(78)에서 공급되는 부하전위를 -200V로 하여 스퍼터링을 수행함으로써 막 두께 50nm인 TiN막을 형성하였다.

계속하여, 성막실(60)을 Ar가스 분위기로 하고, 제1 전극(70)에 티탄으로 이루어지는 타겟(71)을 장착하고, 제2 전극(72)에는 상기 1번이 6인치인 정방형의 유리 기판을 장착하며, 제1 교류전원(75)에서 제1 전극(70)에 주파수 13.6MHz 정도의 고주파를 공급하고, 또 직류전원(78)에서 공급되는 부하전위를 -200V로 하여 스퍼터링을 수행함으로써 막 두께 20nm인 TiN막을 형성하였다.

이어서, 성막실(60)을 Ar가스 분위기로 하고, 제1 전극(70)에 동으로 이루어지는 타겟(71)을 장착하고, 제2 전극(72)에는 유리 기판을 장착하여, 직류전원(78)을 동작시켜 직류전력을 타겟(71)에 인가하는 동시에 제2 교류전원(80)을 동작시켜 교류전력을 유리 기판에 인가하는 2주파 여기 스퍼터링법에 의해 상기 티탄막 상에 막 두께 140nm의 Cu막을 형성하여, TiN막, 티탄막, 및 Cu막으로 이루어지는 적층막을 형성하였다. 여기서 유리 기판에 인가하는 교류전력은 200W이었다.

계속하여, 상기 적층막이 형성된 기판을 질소가스 분위기에서 400°C, 2시간 어닐링 처리하여 시험편 1을 제작하였다. 또한, Cu막의 두께를 150nm, 어닐링 처리시의 온도를 500°C로 한 이외에는 상기 방법과 동일하게 하여 시험편 2를 제작하였다.

또한, 도 4 내지 도 6에 나타난 박막 제조장치를 사용하여, 성막실(60)을 SiH₄ + H₂ 혼합가스 분위기로 하고, 제1 전극(70)에 디미 타겟(71a)을 장착하고, 제2 전극(72)에 유리 기판(36)을 장착하여, 제1 교류전원(75)에서 제1 전극(70)에 주파수 200MHz 정도의 고주파를 공급하고, 또 제2 교류전원(80)에서 제2 전극(72)에 고주파전력을 공급하며, 유리 기판(36)에 인가되는 이온에너지를 제어하여 막 두께 100nm인 a-Si(하- Si)를 성막하였다.

이어서, 성막실(60)을 Ar가스 분위기로 하고, 제1 전극(70)에 a-Si : n + 층 생성용 P 도핑 Si로 이루어진 타겟(71)을 장착하고, 제1 교류전원(75)에서 제1 전극(70)에 주파수 13.6MHz 정도의 고주파를 공급하고, 또 직류전원(78)에서 공급되는 부하전위를 -200V로 하여 스퍼터링을 수행하여 상기 a-Si층 상에 막 두께 20nm인 a-Si : n + 층을 성막하였다.

계속하여, a-Si : n + 층 상에 막 두께 50nm인 TiN막을 상기 시험편 1과 동일하게 하여 성막하고, 또 이 TiN막 상에 막 두께 150nm인 Cu막을 상기 시험편 1과 동일하게 하여 성막하였다.

이후, 이 기판을 질소가스 분위기에서 500°C, 2시간 어닐링 처리하여 시험편 3을 제작하였다.

여기서의 플라즈마 예칭은 성막(실/60)을 Ar가스 분위기로 하고, 제1 전극(70)에 더미 타겟(71a)을 장착하고, 제2 전극(72)에 Ti막을 형성한 유리 기판을 장착하며, 제1 교류전원(75)에서 제1 전극(70)에 고주파를 공급하고, 부하전위를 플로팅하여 플라즈마를 발생시키는 동시에, 제2 전극(72)에 고주파전력을 공급하여 유리 기판에 200W 정도의 교류전력을 2분 정도 인가함으로써 행하였다.

또한, Ti막 표면에 플라즈마 예칭을 실시할 때 유리 기판에 인가하는 교류전력을 50W, 1분으로 한 이외에는 상기 시험편 10의 제작방법과 동일하게 하여 각종의 시험편 9내지 13을 제작하였다.

도 30은 어닐링 처리 전의 시험편 9의 구조와, 어닐링 온도를 250°C부터 500°C 범위에서 변경하였을 때의 시험편 9의 구조를 오저분석법에 의해 조사한 결과를 나타낸다.

또한 도 31은 어닐링 처리 전의 시험편 10의 구조와, 어닐링 온도를 300°C부터 500°C 범위에서 변경하였을 때의 시험편 10의 구조를 오저분석법에 의해 조사한 결과를 나타낸다.

도 30 내지 도 31의 결과로부터 어닐링 처리 전의 시험편 10은 Cu막과 Ti막의 경계부근에 O의 피크를 관찰할 수 있고, Ti막 표면에 티탄 산화막이 생성되어 있는 것을 알 수 있다. 또한, Ti가 Cu막의 표면 측에 확산하기 시작하는 온도는 350°C이고, 더욱 어닐링 온도를 높임에 따라 Cu막의 표면 측에 확산하는 Ti의 양이 증가하는 것을 알 수 있다. 이에 대하여 어닐링 처리 전의 시험편 9는 Cu막과 Ti막의 경계 부근에 O의 피크를 관찰할 수 없으므로 플라즈마 예칭 처리에 의해 티탄 산화막이 제거된 것을 알 수 있다. 또한 Ti가 Cu막의 표면 측에 확산하기 시작하는 온도는 300°C이고, 시험편 10 보다도 낮은 온도에서 Ti가 확산하기 시작하는 것을 알 수 있다. 따라서 플라즈마 예칭에 의해 Ti막 표면의 티탄 산화막을 제거함으로써 Ti를 Cu막 표면에 확산시키기 위한 어닐링 온도를 낮추는 것이 유효함을 알 수 있다.

(실험예 9)

TiN막과 유리 기판 사이에 막 두께 300nm인 SiO₂ 막을 형성하고, TiN막과 Cu막 사이의 Ti막의 두께를 10nm부터 50nm 범위에서 변경하며, 또한 어닐링 조건을 변경하는 이외에는 상기 실험예 4의 시험편 3과 거의 동일하게 하여 시험편 11 내지 14를 제작하였다.

그리고, 시험편 11 내지 시험편 14의 적층막의 시트저항에 대하여 조사하였다. 그 결과를 도 32에 나타내었다. 도 32 중, 가로축은 어닐링온도(°C), 세로축의 R/R(in)은 Cu막의 시트 저항값에 대한 적층막의 시트 저항값의 비이다.

도 32의 결과로부터 SiO₂와 Cu막 사이에 두께 50nm인 TiN막과 두께 30nm 내지 50nm인 Ti막을 형성한 시험편 11 내지 12의 것은 어닐링 온도가 300°C를 초과하면 막의 시트 저항이 서서히 커지고, 400°C에서 시트저항이 가장 커지는 것을 알 수 있다.

이에 대하여 SiO₂와 Cu막 사이에 두께 50nm인 TiN막과 두께 20nm인 Ti막을 형성한 시험편 13의 것은 시험편 11 내지 12의 것보다도 시트저항의 변화가 작은 것을 알 수 있다. 또한 SiO₂와 Cu막 사이에 두께 50nm인 TiN막과 두께 10nm인 Ti막을 형성한 시험편 14의 것은 어닐링 온도를 변경하여도 거의의 시트 저항이 변화하지 않는 것을 알 수 있다.

따라서, TiN막에 형성하는 Ti막의 두께를 20nm 이하로 함으로써 저항 상승이 작아지고, 저 저항의 배선으로 할 수 있다는 것을 알 수 있다.

이상 설명한 바와 같이는 발명에 의하면, 저 저항의 동을 배선재료로서 사용하는 경우에 수분이나 산소에 대하여 내산화성을 향상시킬 수 있고, 더욱이 예칭제나 레지스트 박리액 등에 대하여 내부식성을 향상시킬 수 있으며, 바탕과의 밀착성을 향상시킬 수 있고, 또한 인접막과의 사이에서의 원소 상호 확산을 방지할 수 있는 배선과 이를 사용한 박막 트랜지스터 기판 및 그 제조방법과, 이러한 박막 트랜지스터 기판을 구비한 액정표시장치를 제공할 수 있다.

(57) 청구의 범위

청구항 1.

삭제

청구항 2.

삭제

청구항 3.

삭제

청구항 4.

삭제

청구항 5.

절연성 표면층을 구비한 기판,

상기 기판 상에 형성되는 TiN막, 및

상기 TiN막 위에 형성되는 배선

을 포함하며,

상기 배선은 동층(Cu layer)의 주위에 티탄막과 티탄 산화물로 이루어지는 막을 갖는

박막 트랜지스터 기판.

청구항 6.

제5항에서,

상기 티탄막은 상기 동층의 주위에 형성되어 있고, 상기 티탄 산화물은 상기 티탄막의 표면에 형성되어 있는 박막 트

랜지스터 기판.

청구항 7.

제5항에서,

상기 티탄막은 상기 동층 주위의 일부에 형성되어 있고, 상기 티탄 산화막은 상기 동층 주위의 나머지 부분에 형성되어 있는 박막 트랜지스터 기판.

청구항 8.

절연성 표면층을 구비한 기판,

상기 기판 상에 형성되는 TiN막, 및

상기 TiN막 위에 형성되는 배선

을 포함하며,

상기 배선은 동층의 주위에 크롬막과 크롬 산화물로 이루어지는 막을 갖는

박막 트랜지스터 기판.

청구항 9.

제8항에서,

상기 크롬막은 상기 동층 주위에 형성되어 있고, 상기 크롬 산화물은 상기 크롬막의 표면에 형성되어 있는 박막 트랜지스터 기판.

청구항 10.

제8항에서,

상기 크롬막은 상기 동층 주위의 일부에 형성되어 있고, 상기 크롬 산화물은 상기 동층 주위의 나머지 부분에 형성되어 있는 박막 트랜지스터 기판.

청구항 11.

삭제

청구항 12.

삭제

청구항 13.

절연성 표면층을 구비한 기판,

상기 기판 상에 형성되는 TiN막, 및

상기 TiN막 위에 형성되는 배선

을 포함하며,

상기 배선은 동층의 표면에 티탄 또는 티탄 산화물로 이루어지는 피막을 갖는

트랜지스터 기판.

청구항 14.

제13항에서,

상기 배선의 피막은 상기 동층의 표면에 형성된 티탄막과 상기 티탄막의 표면에 형성된 티탄 산화물로 이루어지는 막을 갖는 박막 트랜지스터 기판.

청구항 15.

기판 상에 티탄, 몰리브덴, 크롬 및 탄탈로 이루어진 군에서 선택된 금속물질층을 형성하는 단계,

상기 금속물질층 위에 동막을 형성하는 단계,

상기 금속물질층 및 동막을 소정의 배선 형상으로 패터닝하는 단계, 그리고

상기 기판을 어닐링처리하여 상기 동막 위에 상기 금속물질로 이루어진 피막을 형성하는 단계

를 포함하는 박막트랜지스터 기판의 제조방법.

청구항 16.

기판 상에 TiN막을 형성하는 단계,

상기 TiN막 위에 티탄, 몰리브덴, 크롬 및 탄탈로 이루어진 군에서 선택된 금속물질층을 형성하는 단계,

상기 금속물질층 위에 동막을 형성하는 단계,

상기 금속물질층 및 동막을 소정의 배선 형상으로 패터닝하는 단계, 그리고

상기 기판을 어닐링처리하여 상기 동막 위에 상기 금속물질로 이루어진 피막을 형성하는 단계

를 포함하는 박막트랜지스터 기판의 제조방법.

청구항 17.

제16항에서,

상기 TiN막 위에 금속물질층을 형성하는 단계는 상기 금속물질층의 두께가 10 내지 20nm가 되도록 하는 박막트랜지스터 기판의 제조방법.

청구항 18.

제15항 또는 제16항에서,

상기 기판을 어닐링처리하는 단계는 상기 피막이 산소를 함유하도록 산소분위기 하에서 수행하는 박막트랜지스터 기판의 제조방법.

청구항 19.

제16항에서,

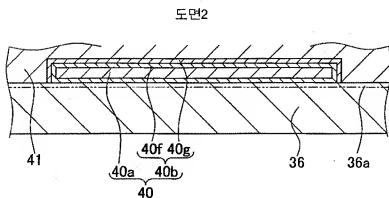
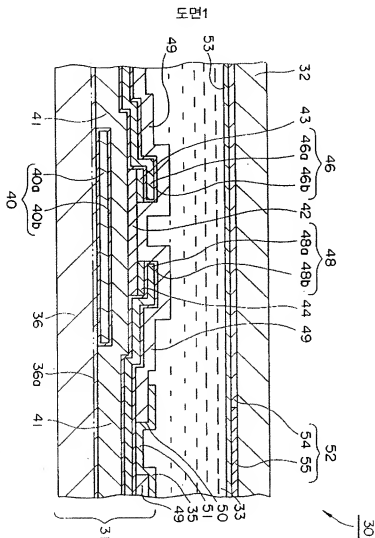
상기 동작을 형성하는 단계 전에 상기 금속물질층의 표면에 생성된 금속 산화층을 플라즈마 에칭으로 제거하는 단계를 추가로 포함하는 박막트랜지스터 기판의 제조방법.

청구항 20.

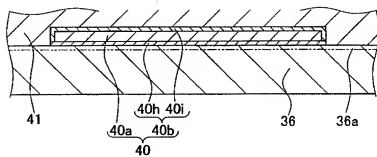
대향 배치된 1쌍의 기판 사이에 액정이 끼워져 유지되고,

상기 1쌍의 기판 중 한쪽이 제5항 내지 제10항, 및 제13항 중 어느 한 항에 기재된 박막 트랜지스터 기판인 액정표시 장치.

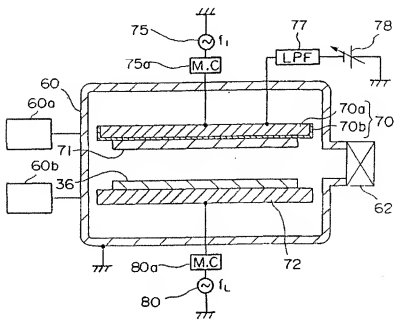
도면



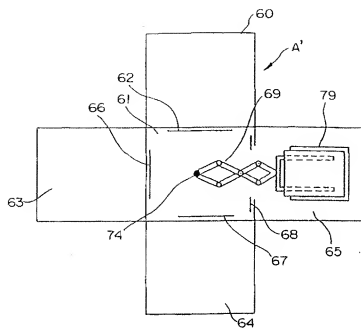
도면3



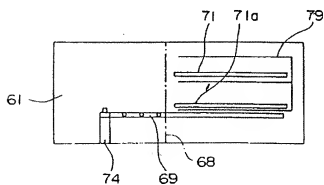
도면4



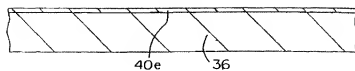
도면5



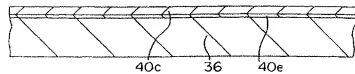
도면6



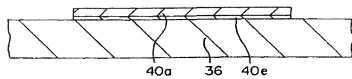
도면7a



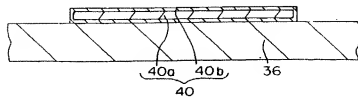
도면7b



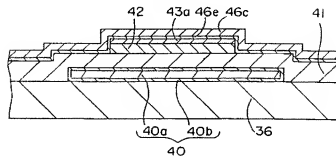
도면7c



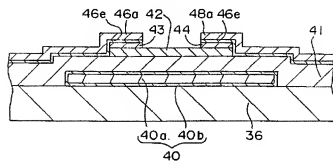
도면7d



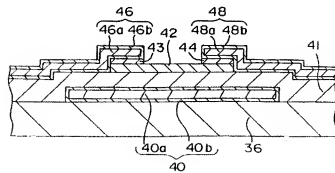
도면8a

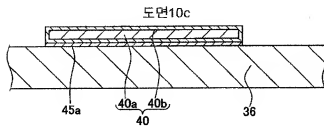
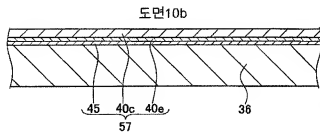
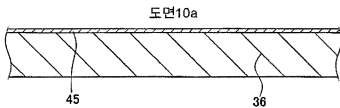
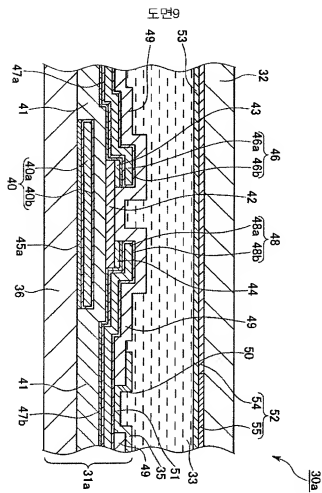


도면8b

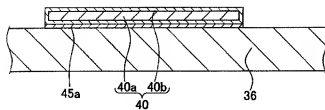


도면8c

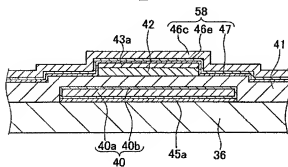




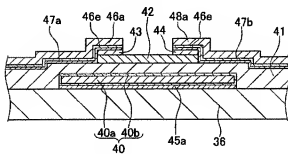
도면10d



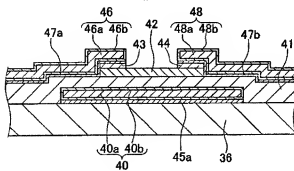
도면11a



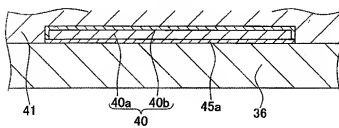
도면11b



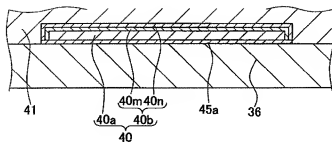
도면11c



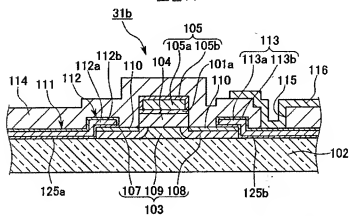
도면12



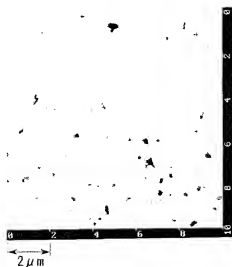
도면13



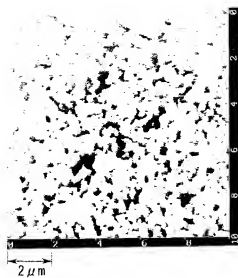
도면14



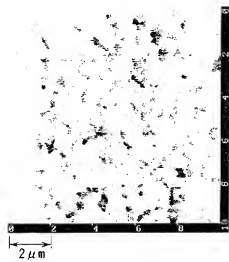
도면15



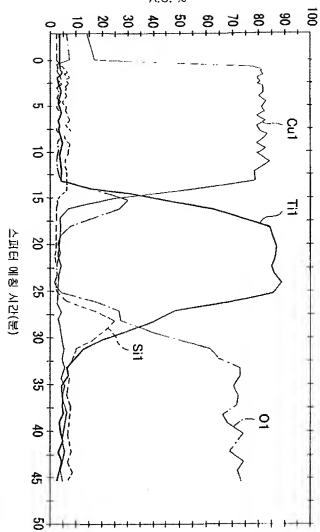
도면16



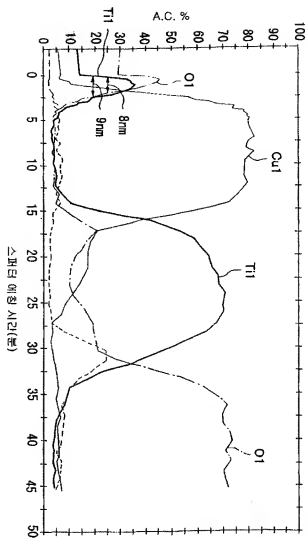
도면17



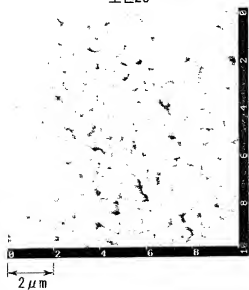
도면18
A.C. %



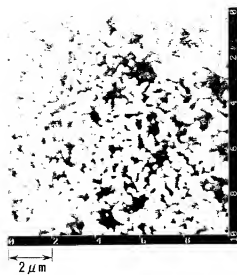
도면19



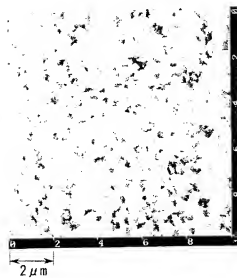
도면20



도면21

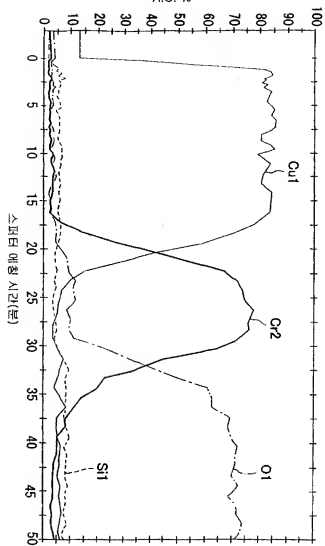


도면22



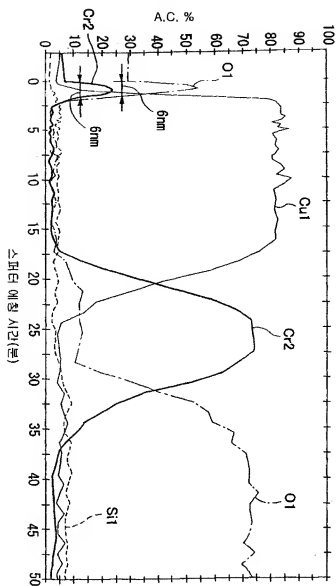
도면23

A.C. %



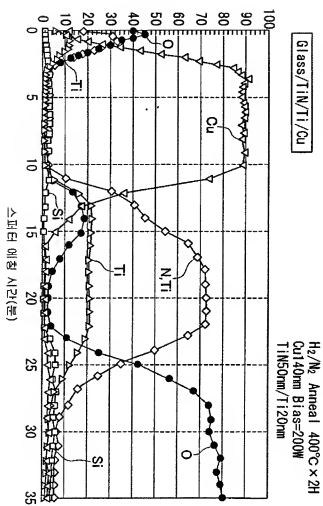
도면24

A.C. %

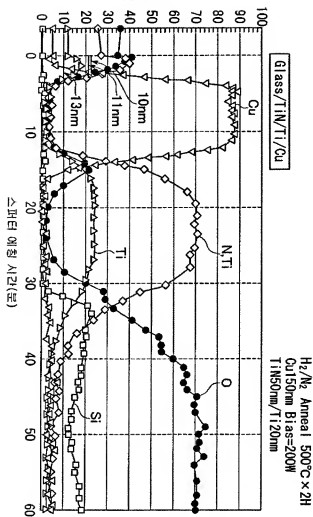


도면25

A.C. %

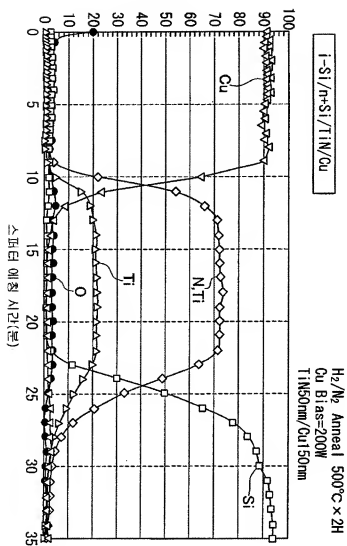


A.C. %

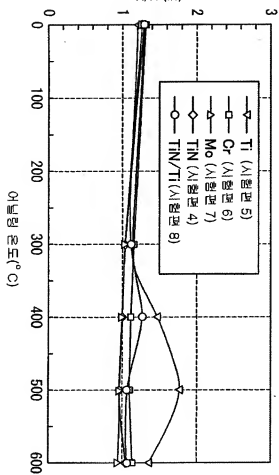


도면27

A.C. %

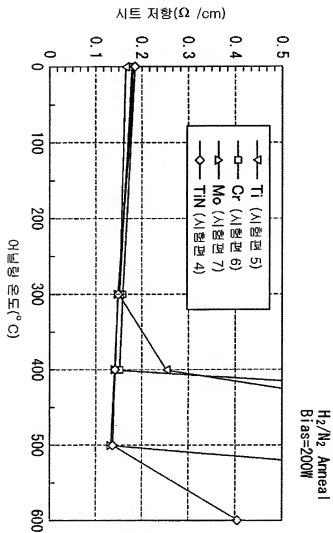


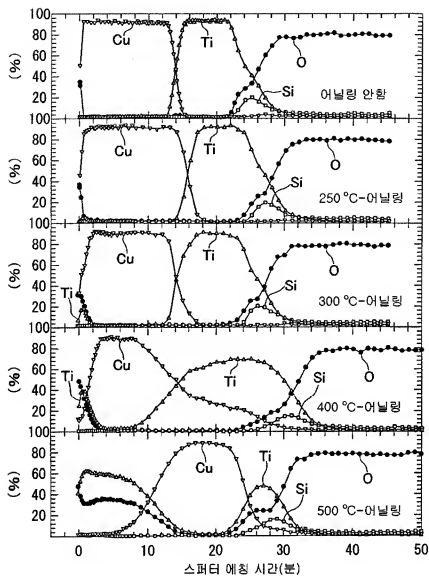
도면28
R/R (in)

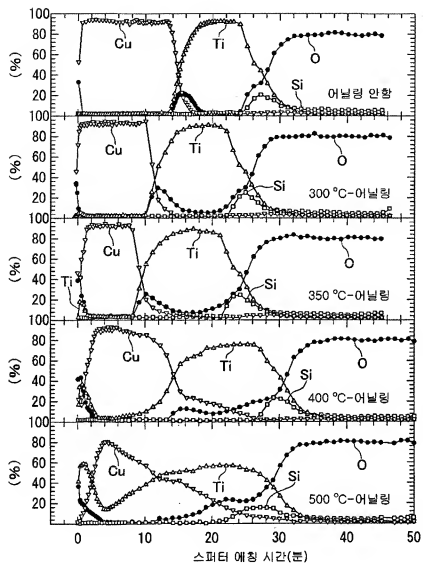


H₂/N₂ Anneal × 2hrs
Cu150mm Bias=200W

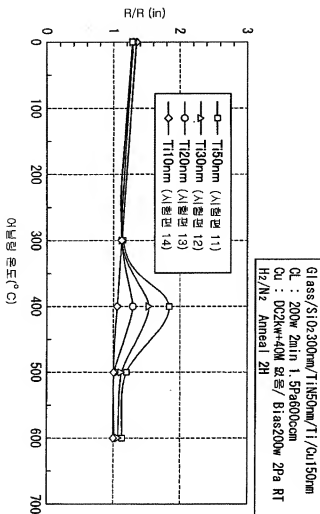
도면29



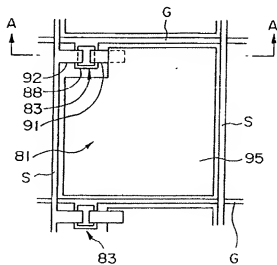




도면32



도면33



도면34

